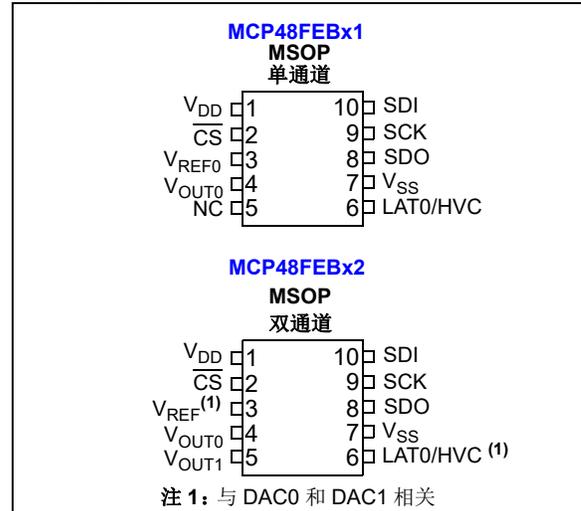


具有SPI接口和非易失性存储器的 单/双通道电压输出8/10/12位数模转换器

特性

- 工作电压范围：
 - 2.7V至5.5V（全额）
 - 1.8V至2.7V（低压）
- 输出电压分辨率：
 - 8位：**MCP48FEB0X**（256步）
 - 10位：**MCP48FEB1X**（1024步）
 - 12位：**MCP48FEB2X**（4096步）
- 轨到轨输出
- 快速稳定时间为7.8 μs （典型值）
- 数模转换器（Digital-to-Analog Converter, DAC）参考电压源选项：
 - 器件 V_{DD}
 - 外部 V_{REF} 引脚（缓冲或非缓冲）
 - 内部带隙（典型值为1.22V）
- 输出增益选项：
 - 单位增益（1x）
 - 2x
- 非易失性存储器（EEPROM）：
 - 用户编程的上电复位（Power-On Reset, POR）/欠压复位（Brown-Out Reset, BOR）输出设置恢复和器件配置位
 - 自动恢复保存的DAC寄存器设置
 - 自动恢复保存的器件配置（参考电压、增益和掉电）
- 上电复位/欠压复位保护
- 掉电模式：
 - 断开输出缓冲器（高阻抗）
 - 可选择 V_{OUT} 下拉电阻（100 k Ω 或1 k Ω ）
- 低功耗：
 - 正常工作：< 180 μA （单通道），380 μA （双通道）
 - 掉电操作：650 nA（典型值）
 - EEPROM写周期（最大值为1.9 mA）
- SPI接口：
 - 支持00和11模式
 - 写入速度最高20 MHz，读取速度最高10 MHz
 - 输入缓冲器支持连接低压数字器件
- 封装类型：10引脚MSOP
- 扩展级温度范围：-40 $^{\circ}\text{C}$ 至+125 $^{\circ}\text{C}$

封装类型



概述

MCP48FEBXX是单/双通道8/10/12位缓冲电压输出数模转换器（DAC），其配有非易失性存储器和SPI串行接口。

可选择 V_{REF} 引脚、器件 V_{DD} 或内部带隙电压作为DAC的参考电压。选择 V_{DD} 时， V_{DD} 在内部连接到DAC参考电路。使用 V_{REF} 引脚时，用户可选择输出缓冲器的增益（1或2）。当增益为2时， V_{REF} 引脚电压的最大值应限制为 $V_{DD}/2$ 。

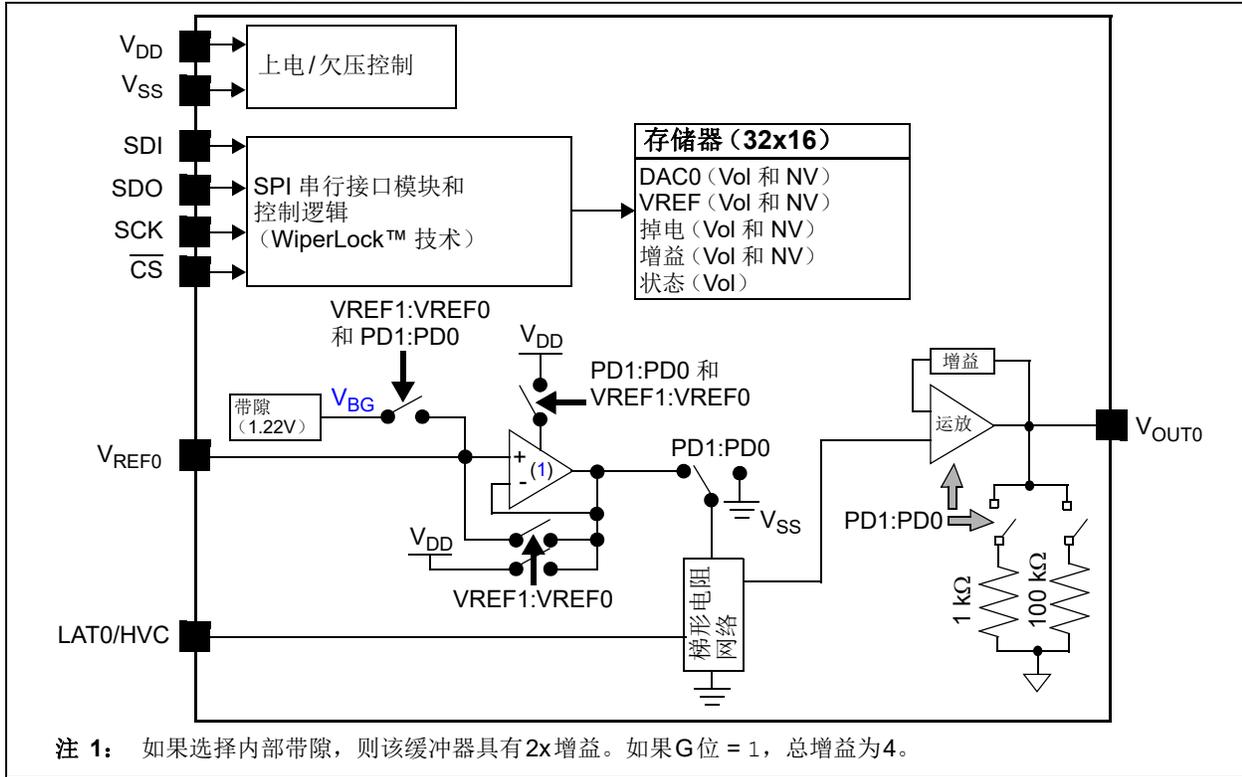
该系列器件具有兼容SPI的串行接口。对于写命令，最高支持20 MHz的时钟频率；对于读命令，最高支持10 MHz的时钟频率。

应用

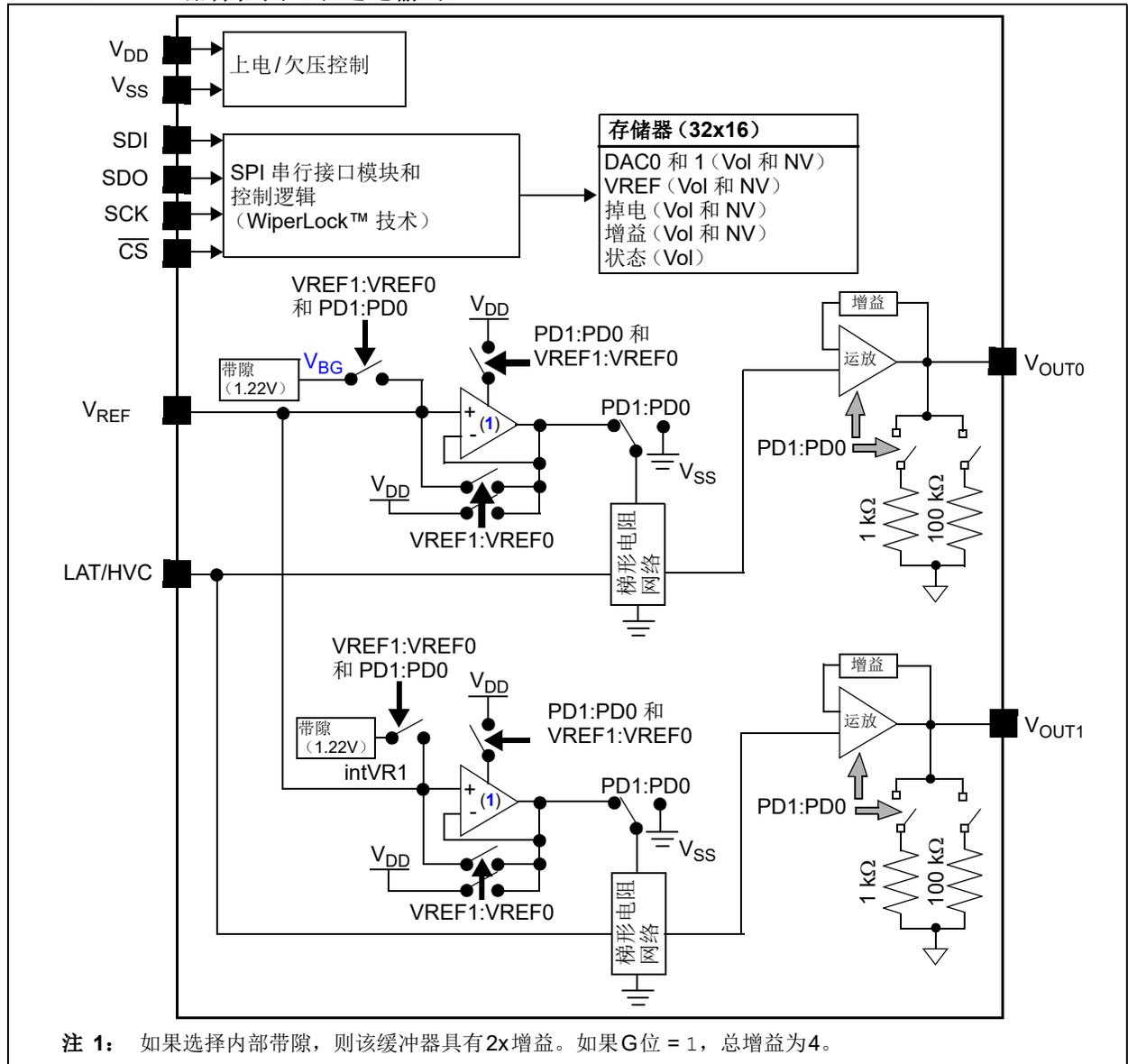
- 设定值或偏移调整
- 传感器校准
- 低功耗便携式仪表
- PC外设
- 数据采集系统
- 电机控制

MCP48FEBXX

MCP48FEBX1 器件框图 (单通道输出)



MCP48FEBX2 器件框图 (双通道输出)



MCP48FEBXX

器件特性

器件	通道数	分辨率 (位)	控制接口	DAC输出 POR/BOR 设置 ⁽¹⁾	VREF 输入 数量	具有 内部 带隙?	LAT 输入的 数量	存储器	指定工作范围 (V _{DD}) ⁽²⁾
MCP48FEB01	1	8	SPI	7Fh	1	是	1	EEPROM	1.8V至5.5V
MCP48FEB11	1	10	SPI	1FFh	1	是	1	EEPROM	1.8V至5.5V
MCP48FEB21	1	12	SPI	7FFh	1	是	1	EEPROM	1.8V至5.5V
MCP48FEB02	2	8	SPI	7Fh	1	是	1	EEPROM	1.8V至5.5V
MCP48FEB12	2	10	SPI	1FFh	1	是	1	EEPROM	1.8V至5.5V
MCP48FEB22	2	12	SPI	7FFh	1	是	1	EEPROM	1.8V至5.5V
MCP47FVB01	1	8	I ² C	7Fh	1	是	1	RAM	1.8V至5.5V
MCP47FVB11	1	10	I ² C	1FFh	1	是	1	RAM	1.8V至5.5V
MCP47FVB21	1	12	I ² C	7FFh	1	是	1	RAM	1.8V至5.5V
MCP47FVB02	2	8	I ² C	7Fh	1	是	1	RAM	1.8V至5.5V
MCP47FVB12	2	10	I ² C	1FFh	1	是	1	RAM	1.8V至5.5V
MCP47FVB22	2	12	I ² C	7FFh	1	是	1	RAM	1.8V至5.5V
MCP47FEB01	1	8	I ² C	7Fh	1	是	1	EEPROM	1.8V至5.5V
MCP47FEB11	1	10	I ² C	1FFh	1	是	1	EEPROM	1.8V至5.5V
MCP47FEB21	1	12	I ² C	7FFh	1	是	1	EEPROM	1.8V至5.5V
MCP47FEB02	2	8	I ² C	7Fh	1	是	1	EEPROM	1.8V至5.5V
MCP47FEB12	2	10	I ² C	1FFh	1	是	1	EEPROM	1.8V至5.5V
MCP47FEB22	2	12	I ² C	7FFh	1	是	1	EEPROM	1.8V至5.5V

注 1: 出厂默认值。可通过非易失性 DAC 输出寄存器 (仅非易失性器件 (MCP4XFEBXX) 上提供) 修改 DAC 输出 POR/BOR 值。

2: 模拟输出性能的指定范围为 2.7V 至 5.5V。

1.0 电气特性

绝对最大额定值†)

V_{DD} 相对于 V_{SS} 的电压	-0.6V 至 +6.5V
所有引脚相对于 V_{SS} 的电压	-0.6V 至 $V_{DD}+0.3V$
输入钳位电流 I_{IK} ($V_I < 0$, $V_I > V_{DD}$, $V_I > V_{PP}$ (HV 引脚上))	± 20 mA
输出钳位电流 I_{OK} ($V_O < 0$ 或 $V_O > V_{DD}$)	± 20 mA
流出 V_{SS} 引脚的最大电流 (单通道)	50 mA
(双通道)	100 mA
流入 V_{DD} 引脚的最大电流 (单通道)	50 mA
(双通道)	100 mA
V_{OUT} 引脚的最大拉电流	20 mA
V_{OUT} 引脚的最大灌电流	20 mA
V_{REF} 引脚的最大灌电流	125 μ A
SDI、SCK 和 \overline{CS} 引脚的最大输入拉/灌电流	2 mA
SDO 输出引脚的最大输出灌电流	25 mA
总功耗 ⁽¹⁾	400 mW
封装功耗 ($T_A = +50^\circ\text{C}$, $T_J = +150^\circ\text{C}$)	
MSOP-10	490 mW
所有引脚上的 ESD 保护	$\geq \pm 4$ kV (HBM)
.....	$\geq \pm 400$ V (MM)
.....	$\geq \pm 1.5$ kV (CDM)
+125°C 时的闩锁电流 (符合 JEDEC JESD78A)	± 100 mA
储存温度	-65°C 至 +150°C
环境温度 (施加电源时)	-55°C 至 +125°C
引脚焊接温度 (10 秒)	+300°C
最高结温 (T_J)	+150°C

†注: 如果器件的工作条件超过上述“最大值”，可能对器件造成永久性损坏。上述值仅代表本规范规定的极限工作条件，不建议在处于或超出上述极限值的情况下工作。器件长时间工作在最大值条件下，其可靠性可能受到影响。

注 1: 功耗计算公式为:

$$P_{DIS} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (V_{OL} \times I_{OL})$$

MCP48FEBXX

直流特性

直流特性	标准工作条件（除非另外说明）： 工作温度：-40°C ≤ T _A ≤ +125°C（扩展级） 除非另外说明，否则所有参数均适用于以下指定的工作范围： V _{DD} = +2.7V至5.5V，V _{REF} = +2.048V至V _{DD} ，V _{SS} = 0V G _x = 0，R _L = 5 kΩ（V _{OUT} 与V _{SS} 之间），C _L = 100 pF 典型规范值是指V _{DD} = 5.5V、T _A = +25°C时的值。					
	参数	符号	最小值	典型值	最大值	单位
电源电压	V _{DD}	2.7	—	5.5	V	
		1.8	—	2.7	V	DAC工作电压（低压模拟规范）和串行接口
确保器件上电复位的V _{DD} 电压（上升）	V _{POR/BOR}	—	—	1.7	V	RAM保持电压（V _{RAM} ）< V _{POR} V _{DD} 电压大于V _{POR/BOR} 限值（确保器件正常退出复位模式）
确保正常上电复位的V _{DD} 上升速率	V _{DDRR}	（注3）			V/ms	
高电压命令电压范围（HVC引脚）	V _{HV}	V _{SS}	—	12.5	V	HVC引脚将采用三种输入电压中的一种（V _{IL} 、V _{IH} 或V _{IHH} ） ⁽¹⁾
高电压输入进入电压	V _{IHHEN}	9.0	—	—	V	进入WiperLock™技术的阈值
高电压输入退出电压	V _{IHHEX}	—	—	V _{DD} + 0.8V	V	（注2）
从上电复位到驱动输出的延时	T _{PORD}	—	25	50	μs	V _{DD} 上升，V _{DD} > V _{POR}

注1 此参数由设计确保。

注2 此参数由表征确保。

注3 POR/BOR电压跳变点与斜率无关。滞后通过延时来实现。

直流特性（续）

直流特性		标准工作条件（除非另外说明）： 工作温度：-40°C ≤ T _A ≤ +125°C（扩展级） 除非另外说明，否则所有参数均适用于以下指定的工作范围： V _{DD} = +2.7V至5.5V，V _{REF} = +2.048V至V _{DD} ，V _{SS} = 0V G _x = 0，R _L = 5 kΩ（V _{OUT} 与V _{SS} 之间），C _L = 100 pF 典型规范值是指V _{DD} = 5.5V、T _A = +25°C时的值。					
参数	符号	最小值	典型值	最大值	单位	条件	
电源电流	I _{DD}	—	—	320	μA	单通道 1 MHz ⁽²⁾ 10 MHz ⁽²⁾ 20 MHz 串行接口工作 (非高电压命令) VRxB:VRxA = 01 ⁽⁶⁾ V _{OUT} 无负载，V _{DD} = 5.5V 易失性DAC寄存器 = 000h	
		—	—	910	μA		
		—	—	1.7	mA		
		—	—	510	μA	双通道 1 MHz ⁽²⁾ 10 MHz ⁽²⁾ 20 MHz	串行接口工作 (非高电压命令) VRxB:VRxA = 10 ⁽⁴⁾ V _{OUT} 无负载。 V _{REF} = V _{DD} = 5.5V 易失性DAC寄存器 = 000h
		—	—	1.1	mA		
		—	—	1.85	mA		
		—	—	250	μA	单通道 1 MHz ⁽²⁾ 10 MHz ⁽²⁾ 20 MHz ⁽²⁾	串行接口不工作 ⁽²⁾ (非高电压命令) VRxB:VRxA = 00 SCK = SDI = V _{SS} V _{OUT} 无负载。 易失性DAC寄存器 = 000h
		—	—	840	μA		
		—	—	1.65	mA		
		—	—	380	μA	双通道 1 MHz ⁽²⁾ 10 MHz ⁽²⁾ 20 MHz ⁽²⁾	串行接口不工作 ⁽²⁾ (非高电压命令) VRxB:VRxA = 11, V _{REF} = V _{DD} SCK = SDI = V _{SS} V _{OUT} 无负载。 易失性DAC寄存器 = 000h
		—	—	970	μA		
		—	—	1.75	mA		
		—	—	180	μA	单通道	EE写电流 V _{REF} = V _{DD} = 5.5V (写入后，串行接口不工作) 向非易失性DAC0（地址10h）写入全0。 V _{OUT} 引脚无负载。
		—	—	380	μA	双通道	
		—	—	180	μA	单通道	HVC = 12.5V（高电压命令） 串行接口不工作 V _{REF} = V _{DD} = 5.5V，LAT/HVC = V _{IHH} DAC寄存器 = 000h V _{OUT} 引脚无负载。
—	—	380	μA	双通道			
—	—	1.9	mA	EE写电流 V _{REF} = V _{DD} = 5.5V (写入后，串行接口不工作) 向非易失性DAC0（地址10h）写入全0。 V _{OUT} 引脚无负载。			
—	—	145	180	μA	单通道		
—	—	260	400	μA	双通道		
掉电电流	I _{DDP}	—	0.65	3.8	μA	PDxB:PDxA = 01 ⁽⁵⁾ , V _{OUT} 未连接	

注2 此参数由表征确保。

注4 在VRxB:VRxA = 10的模式下，电源电流与通过梯形电阻网络的电流无关。

注5 PDxB:PDxA = 01、10和11时的三种配置应具有相同的电流。

注6 根据设计，这是最差情况的电流模式。

MCP48FEBXX

直流特性（续）

直流特性	标准工作条件（除非另外说明）： 工作温度：-40°C ≤ T _A ≤ +125°C（扩展级） 除非另外说明，否则所有参数均适用于以下指定的工作范围： V _{DD} = +2.7V 至 5.5V，V _{REF} = +2.048V 至 V _{DD} ，V _{SS} = 0V G _x = 0，R _L = 5 kΩ（V _{OUT} 与 V _{SS} 之间），C _L = 100 pF 典型规范值是指 V _{DD} = 5.5V、T _A = +25°C 时的值。						
参数	符号	最小值	典型值	最大值	单位	条件	
梯形电阻网络	R _L	100	140	180	kΩ	1.8V ≤ V _{DD} ≤ 5.5V V _{REF} ≥ 1.0V ⁽⁷⁾	
分辨率（电阻数和抽头数） （见 B.1 “分辨率”）	N	256			抽头	8 位	无编码丢失
		1024			抽头	10 位	无编码丢失
		4096			抽头	12 位	无编码丢失
标称 V _{OUT} 匹配度 ⁽¹¹⁾	V _{OUT} - V _{OUTMEAN} /V _{OUTMEAN}	—	0.5	1.0	%	2.7V ≤ V _{DD} ≤ 5.5V ⁽²⁾	
		—	—	1.2	%	1.8V ⁽²⁾	
V _{OUT} 温度系数（见 B.19 “V _{OUT} 温度系数”）	ΔV _{OUT} /ΔT	—	15	—	ppm/°C	编码 = 中等量程 （7Fh、1FFh 或 7FFh）	
V _{REF} 引脚输入电压范围	V _{REF}	V _{SS}	—	V _{DD}	V	1.8V ≤ V _{DD} ≤ 5.5V ⁽¹⁾	

注 1 此参数由设计确保。

注 2 此参数由表征确保。

注 7 该电阻值定义为 V_{REF} 引脚（VRxB:VRxA = 10 的模式）与 V_{SS} 引脚之间的电阻值。对于双通道器件（MCP48FEBX2），是指每个梯形电阻网络的有效电阻值。测量方法是通过并联方式测量两个梯形电阻网络。

注 11 仅计算其中一个通道的输出电压相对于平均输出电压的变化。

直流特性（续）

直流特性						
标准工作条件（除非另外说明）： 工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级） 除非另外说明，否则所有参数均适用于以下指定的工作范围： $V_{DD} = +2.7\text{V}$ 至 5.5V ， $V_{REF} = +2.048\text{V}$ 至 V_{DD} ， $V_{SS} = 0\text{V}$ $G_x = 0$ ， $R_L = 5\text{ k}\Omega$ （ V_{OUT} 与 V_{SS} 之间）， $C_L = 100\text{ pF}$ 典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。						
参数	符号	最小值	典型值	最大值	单位	条件
零量程误差（见 B.5 “零量程误差（EzS）” ） （编码 = 000h）	EzS	—	—	0.75	LSb	8位 VRxB:VRxA = 11, Gx = 0 VREF = VDD, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VRxB:VRxA = 00, Gx = 0 VDD = 5.5V, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VDD = 1.8V, VREF = 1.0V VRxB:VRxA = 10, Gx = 0, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VDD = 1.8V, VREF = 1.0V VRxB:VRxA = 11, Gx = 0, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VRxB:VRxA = 01, Gx = 0, 无负载
		—	—	3	LSb	10位 VRxB:VRxA = 11, Gx = 0 VREF = VDD, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VRxB:VRxA = 00, Gx = 0 VDD = 5.5V, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VDD = 1.8V, VREF = 1.0V VRxB:VRxA = 10, Gx = 0, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VDD = 1.8V, VREF = 1.0V VRxB:VRxA = 11, Gx = 0, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VRxB:VRxA = 01, Gx = 0 无负载
		—	—	12	LSb	12位 VRxB:VRxA = 11, Gx = 0 VREF = VDD, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VRxB:VRxA = 00, Gx = 0 VDD = 5.5V, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VDD = 1.8V, VREF = 1.0V VRxB:VRxA = 10, Gx = 0, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VDD = 1.8V, VREF = 1.0V VRxB:VRxA = 11, Gx = 0, 无负载
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	VRxB:VRxA = 01, Gx = 0 无负载
失调误差（见 B.7 “失调误差（EOS）” ）	EoS	-15	±1.5	+15	mV	VRxB:VRxA = 00 Gx = 0 无负载
失调电压温度系数	VOSTC	—	±10	—	μV/°C	

注2 此参数由表征确保。

MCP48FEBXX

直流特性 (续)

直流特性		标准工作条件 (除非另外说明): 工作温度: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级) 除非另外说明, 否则所有参数均适用于以下指定的工作范围: $V_{DD} = +2.7\text{V}$ 至 5.5V , $V_{REF} = +2.048\text{V}$ 至 V_{DD} , $V_{SS} = 0\text{V}$ $G_x = 0$, $R_L = 5\text{ k}\Omega$ (V_{OUT} 与 GND 之间), $C_L = 100\text{ pF}$ 典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。					
参数	符号	最小值	典型值	最大值	单位	条件	
满量程误差 (见 B.4 “满量程误差 (EFS)”))	E _{FS}	—	—	4.5	LSb	8 位 编码 = FFh, VRxB:VRxA = 11 G _x = 0, V _{REF} = 2.048V, 无负载	
		请参见第2.0章 “典型性能曲线” (2)			LSb		编码 = FFh, VRxB:VRxA = 10 G _x = 0, V _{REF} = 2.048V, 无负载
		请参见第2.0章 “典型性能曲线” (2)			LSb		编码 = FFh, VRxB:VRxA = 01 G _x = 0, V _{REF} = 2.048V, 无负载
		请参见第2.0章 “典型性能曲线” (2)			LSb		编码 = FFh, VRxB:VRxA = 00 无负载
		—	—	18	LSb	10 位 编码 = 3FFh, VRxB:VRxA = 11 G _x = 0, V _{REF} = 2.048V, 无负载	
		请参见第2.0章 “典型性能曲线” (2)			LSb		编码 = 3FFh, VRxB:VRxA = 10 G _x = 0, V _{REF} = 2.048V, 无负载
		请参见第2.0章 “典型性能曲线” (2)			LSb		编码 = 3FFh, VRxB:VRxA = 01 G _x = 0, V _{REF} = 2.048V, 无负载
		请参见第2.0章 “典型性能曲线” (2)			LSb		编码 = 3FFh, VRxB:VRxA = 00 无负载
		—	—	70	LSb	12 位 编码 = FFFh, VRxB:VRxA = 11 G _x = 0, V _{REF} = 2.048V, 无负载	
		请参见第2.0章 “典型性能曲线” (2)			LSb		编码 = FFFh, VRxB:VRxA = 10 G _x = 0, V _{REF} = 2.048V, 无负载
		请参见第2.0章 “典型性能曲线” (2)			LSb		编码 = FFFh, VRxB:VRxA = 01 G _x = 0, V _{REF} = 2.048V, 无负载
		请参见第2.0章 “典型性能曲线” (2)			LSb		编码 = FFFh, VRxB:VRxA = 00 无负载

注2 此参数由表征确保。

直流特性（续）

参数	符号	最小值	典型值	最大值	单位	条件	
增益误差（见 B.9 “增益误差（EG）”） ⁽⁸⁾	E _G	-1.0	±0.1	+1.0	FSR的百分比	8位	编码 = 250, 无负载 VRxB:VRxA = 00 Gx = 0
		-1.0	±0.1	+1.0	FSR的百分比	10位	编码 = 1000, 无负载 VRxB:VRxA = 00 Gx = 0
		-1.0	±0.1	+1.0	FSR的百分比	12位	编码 = 4000, 无负载 VRxB:VRxA = 00 Gx = 0
增益误差漂移（见 B.10 “增益误差漂移（EGD）”）	ΔG/°C	—	-3	—	ppm/°C		

注2 此参数由表征确保。

注8 该增益误差不包括失调误差。

MCP48FEBXX

直流特性 (续)

直流特性		标准工作条件 (除非另外说明): 工作温度: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级) 除非另外说明, 否则所有参数均适用于以下指定的工作范围: $V_{DD} = +2.7\text{V}$ 至 5.5V , $V_{REF} = +2.048\text{V}$ 至 V_{DD} , $V_{SS} = 0\text{V}$ $G_x = 0$, $R_L = 5\text{ k}\Omega$ (V_{OUT} 与 GND 之间), $C_L = 100\text{ pF}$ 典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。					
参数	符号	最小值	典型值	最大值	单位	条件	
积分非线性误差 (见 B.11 “积分非线性 (INL) 误差”) (10)	INL	-0.5	± 0.1	+0.5	LSb	8位 VRxB:VRxA = 10 (编码: 6至250) $V_{DD} = V_{REF} = 5.5\text{V}$	
		请参见第2.0章 “典型性能曲线” (2)				LSb	VRxB:VRxA = 00、01和11
		请参见第2.0章 “典型性能曲线” (2)				LSb	VRxB:VRxA = 01 $V_{DD} = 5.5\text{V}$, $G_x = 1$
		请参见第2.0章 “典型性能曲线” (2)				LSb	VRxB:VRxA = 10和11 $V_{REF} = 1.0\text{V}$, $G_x = 1$
		请参见第2.0章 “典型性能曲线” (2)				LSb	$V_{DD} = 1.8\text{V}$ $V_{REF} = 1.0\text{V}$
		-1.5	± 0.4	+1.5	LSb	10位 VRxB:VRxA = 10 (编码: 25至1000) $V_{DD} = V_{REF} = 5.5\text{V}$	
		请参见第2.0章 “典型性能曲线” (2)				LSb	VRxB:VRxA = 00、01和11
		请参见第2.0章 “典型性能曲线” (2)				LSb	VRxB:VRxA = 01 $V_{DD} = 5.5\text{V}$, $G_x = 1$
		请参见第2.0章 “典型性能曲线” (2)				LSb	VRxB:VRxA = 10和11 $V_{REF} = 1.0\text{V}$, $G_x = 1$
		请参见第2.0章 “典型性能曲线” (2)				LSb	$V_{DD} = 1.8\text{V}$ $V_{REF} = 1.0\text{V}$
		-6	± 1.5	+6	LSb	12位 VRxB:VRxA = 10 (编码: 100至4000) $V_{DD} = V_{REF} = 5.5\text{V}$ 。	
		请参见第2.0章 “典型性能曲线” (2)				LSb	VRxB:VRxA = 00、01和11
		请参见第2.0章 “典型性能曲线” (2)				LSb	VRxB:VRxA = 01 $V_{DD} = 5.5\text{V}$, $G_x = 1$
		请参见第2.0章 “典型性能曲线” (2)				LSb	VRxB:VRxA = 10和11 $V_{REF} = 1.0\text{V}$, $G_x = 1$
		请参见第2.0章 “典型性能曲线” (2)				LSb	$V_{DD} = 1.8\text{V}$ $V_{REF} = 1.0\text{V}$

注2 此参数由表征确保。

注10 编码范围取决于分辨率: 8位的编码范围为6至250; 10位的编码范围为25至1000; 12位的编码范围为100至4000。

直流特性（续）

直流特性		标准工作条件（除非另外说明）： 工作温度：-40°C ≤ T _A ≤ +125°C（扩展级） 除非另外说明，否则所有参数均适用于以下指定的工作范围： V _{DD} = +2.7V至5.5V，V _{REF} = +2.048V至V _{DD} ，V _{SS} = 0V G _x = 0，R _L = 5 kΩ（V _{OUT} 与GND之间），C _L = 100 pF 典型规范值是指V _{DD} = 5.5V、T _A = +25°C时的值。				
参数	符号	最小值	典型值	最大值	单位	条件
微分非线性误差（见B.12“微分非线性（DNL）误差”） ⁽¹⁰⁾	DNL	-0.25	±0.0125	+0.25	LSb	8位 VRxB:VRxA = 10 （编码：6至250） V _{DD} = V _{REF} = 5.5V
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	特性：VRxB:VRxA = 00、01和11
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	特性：VRxB:VRxA = 01 V _{DD} = 5.5V，G _x = 1
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	特性：VRxB:VRxA = 10和11 V _{REF} = 1.0V，G _x = 1
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	V _{DD} = 1.8V
		-0.5	±0.05	+0.5	LSb	10位 VRxB:VRxA = 10 （编码：25至1000） V _{DD} = V _{REF} = 5.5V
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	特性：VRxB:VRxA = 00、01和11
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	特性：VRxB:VRxA = 01 V _{DD} = 5.5V，G _x = 1
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	特性：VRxB:VRxA = 10和11 V _{REF} = 1.0V，G _x = 1
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	V _{DD} = 1.8V
		-1.0	±0.2	+1.0	LSb	12位 VRxB:VRxA = 10 （编码：100至4000） V _{DD} = V _{REF} = 5.5V
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	特性：VRxB:VRxA = 00、01和11
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	特性：VRxB:VRxA = 01 V _{DD} = 5.5V，G _x = 1
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	特性：VRxB:VRxA = 10和11 V _{REF} = 1.0V，G _x = 1
		请参见第2.0章“典型性能曲线” ⁽²⁾			LSb	V _{DD} = 1.8V

注2 此参数由表征确保。

注10 编码范围取决于分辨率：8位的编码范围为6至250；10位的编码范围为25至1000；12位的编码范围为100至4000。

MCP48FEBXX

直流特性 (续)

直流特性	<p>标准工作条件 (除非另外说明) :</p> <p>工作温度: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级)</p> <p>除非另外说明, 否则所有参数均适用于以下指定的工作范围:</p> <p>$V_{DD} = +2.7\text{V}$ 至 5.5V, $V_{REF} = +2.048\text{V}$ 至 V_{DD}, $V_{SS} = 0\text{V}$</p> <p>$G_x = 0$, $R_L = 5\text{ k}\Omega$ (V_{OUT} 与 GND 之间), $C_L = 100\text{ pF}$</p> <p>典型规范值是指 $V_{DD} = 5.5\text{V}$、$T_A = +25^{\circ}\text{C}$ 时的值。</p>					
参数	符号	最小值	典型值	最大值	单位	条件
-3 dB 带宽 (见 B.16 “-3 dB 带宽”)	BW	—	200	—	kHz	$V_{REF} = 2.048\text{V} \pm 0.1\text{V}$ $VRxB:VRxA = 10$, $G_x = 0$
		—	100	—	kHz	$V_{REF} = 2.048\text{V} \pm 0.1\text{V}$ $VRxB:VRxA = 10$, $G_x = 1$
输出放大器						
最小输出电压	$V_{OUT(MIN)}$	—	0.01	—	V	$1.8\text{V} \leq V_{DD} < 5.5\text{V}$ 输出放大器提供最小驱动能力
最大输出电压	$V_{OUT(MAX)}$	—	$V_{DD} - 0.04$	—	V	$1.8\text{V} \leq V_{DD} < 5.5\text{V}$ 输出放大器提供最大驱动能力
相位裕度	PM	—	66	—	度 (°)	$C_L = 400\text{ pF}$ $R_L = \infty$
压摆率 ⁽⁹⁾	SR	—	0.44	—	V/ μs	$R_L = 5\text{ k}\Omega$
短路电流	I_{SC}	3	9	14	mA	DAC 编码 = 满量程
内部带隙						
带隙电压	V_{BG}	1.18	1.22	1.26	V	
带隙电压温度系数	V_{BGTC}	—	15	—	ppm/ $^{\circ}\text{C}$	
工作范围 (V_{DD})		2.0	—	5.5	V	V_{REF} 引脚电压稳定
		2.2	—	5.5	V	V_{OUT} 输出呈线性
外部参考电压 (V_{REF})						
输入范围 ⁽¹⁾	V_{REF}	V_{SS}	—	$V_{DD} - 0.04$	V	$VRxB:VRxA = 11$ (缓冲模式)
		V_{SS}	—	V_{DD}	V	$VRxB:VRxA = 10$ (非缓冲模式)
输入电容	C_{REF}	—	1	—	pF	$VRxB:VRxA = 10$ (非缓冲模式)
总谐波失真 ⁽¹⁾	THD	—	-64	—	dB	$V_{REF} = 2.048\text{V} \pm 0.1\text{V}$ $VRxB:VRxA = 10$, $G_x = 0$ 频率 = 1 kHz
动态性能						
主编码跳变毛刺 (见 B.14 “主编码跳变毛刺”)		—	45	—	nV-s	主进位 (7FFh 变为 800h) 时变化 1 LSB
数字馈通 (见 B.15 “数字馈通”)		—	<10	—	nV-s	

注 1 此参数由设计确保。

注 9 编码从 FSR 的 1/4 变为 3/4 时 (例如: 在 12 位器件中, 从 400h 变为 C00h), 最终值的误差在 1/2 LSB 范围内。

直流特性（续）

参数	符号	最小值	典型值	最大值	单位	条件
标准工作条件（除非另外说明）： 工作温度： $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ （扩展级） 除非另外说明，否则所有参数均适用于以下指定的工作范围： $V_{DD} = +2.7\text{V}$ 至 5.5V ， $V_{REF} = +2.048\text{V}$ 至 V_{DD} ， $V_{SS} = 0\text{V}$ $G_x = 0$ ， $R_L = 5\text{ k}\Omega$ （ V_{OUT} 与 GND 之间）， $C_L = 100\text{ pF}$ 典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。						
数字输入/输出（$\overline{\text{CS}}$、SCK、SDI、SDO 和 $\overline{\text{LAT0/HVC}}$）						
施密特触发器高电平输入阈值	V_{IH}	$0.45 V_{DD}$	—	—	V	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$
		$0.5 V_{DD}$	—	—	V	$1.8\text{V} \leq V_{DD} \leq 2.7\text{V}$
施密特触发器低电平输入阈值	V_{IL}	—	—	$0.2 V_{DD}$	V	
施密特触发器输入滞后	V_{HYS}	—	$0.1 V_{DD}$	—	V	
输出低电平电压	V_{OL}	V_{SS}	—	$0.3 V_{DD}$	V	$I_{OL} = 5\text{ mA}$ ， $V_{DD} = 5.5\text{V}$
		V_{SS}	—	$0.3 V_{DD}$	V	$I_{OL} = 1\text{ mA}$ ， $V_{DD} = 1.8\text{V}$
输出高电平电压	V_{OH}	$0.7V_{DD}$	—	V_{DD}	V	$I_{OH} = -2.5\text{ mA}$ ， $V_{DD} = 5.5\text{V}$
		$0.7V_{DD}$	—	V_{DD}	V	$I_{OH} = -1\text{ mA}$ ， $V_{DD} = 1.8\text{V}$
输入泄漏电流	I_{IL}	-1	—	1	μA	$V_{IN} = V_{DD}$ 且 $V_{IN} = V_{SS}$
引脚电容	C_{IN} 和 C_{OUT}	—	10	—	pF	$f_C = 20\text{ MHz}$

MCP48FEBXX

直流特性 (续)

参数	符号	最小值	典型值	最大值	单位	条件	
直流特性 标准工作条件 (除非另外说明): 工作温度: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级) 除非另外说明, 否则所有参数均适用于以下指定的工作范围: $V_{DD} = +2.7\text{V}$ 至 5.5V , $V_{REF} = +2.048\text{V}$ 至 V_{DD} , $V_{SS} = 0\text{V}$ $G_x = 0$, $R_L = 5\text{ k}\Omega$ (V_{OUT} 与 GND 之间), $C_L = 100\text{ pF}$ 典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。							
RAM 值							
值范围	N	0h	—	FFh	十六进制	8 位	
		0h	—	3FFh	十六进制	10 位	
		0h	—	FFFh	十六进制	12 位	
DAC 寄存器 POR/BOR 值	N	请参见表 4-2			十六进制	8 位	
		请参见表 4-2			十六进制	10 位	
		请参见表 4-2			十六进制	12 位	
PDCON 初始出厂设置		请参见表 4-2			十六进制		
EEPROM							
耐擦写次数	EN_{EE}	—	1M	—	周期数	注 1 和注 2	
数据保存时间	DR_{EE}	—	200	—	年	+25°C 时 (1, 2)	
EEPROM 范围	N	0h	—	FFh	十六进制	8 位	DACx 寄存器
		0h	—	3FFh	十六进制	10 位	DACx 寄存器
		0h	—	FFFh	十六进制	12 位	DACx 寄存器
初始出厂设置	N	请参见表 4-2					
EEPROM 编程写周期时间	t_{WC}	—	11	16	ms	$V_{DD} = +1.8\text{V}$ 至 5.5V	
电源要求							
电源灵敏度 (B.17 “电源灵敏度 (PSS)”))	PSS	—	0.002	0.005	%/%	8 位	编码 = 7Fh
		—	0.002	0.005	%/%	10 位	编码 = 1FFh
		—	0.002	0.005	%/%	12 位	编码 = 7FFh

注 1 此参数由设计确保。

注 2 此参数由表征确保。

直流注意事项:

1. 此参数由设计确保。
2. 此参数由表征确保。
3. POR/BOR 电压跳变点与斜率无关。滞后通过延时来实现。
4. 在 $VRxB:VRxA = 10$ 的模式下，电源电流与通过梯形电阻网络的电流无关。
5. $PDxB:PDxA = 01$ 、 10 和 11 时的三种配置应具有相同的电流。
6. 根据设计，这是最差情况的电流模式。
7. 该电阻值定义为 V_{REF} 引脚 ($VRxB:VRxA = 10$ 的模式) 与 V_{SS} 引脚之间的电阻值。对于双通道器件 (MCP48FEBX2)，是指每个梯形电阻网络的有效电阻值。测量方法是通过并联方式测量两个梯形电阻网络。
8. 该增益误差不包括失调误差。
9. 编码从 FSR 的 $1/4$ 变为 $3/4$ 时 (例如: 在 12 位器件中, 从 $400h$ 变为 $C00h$)，最终值的误差在 $1/2$ LSB 范围内。
10. 编码范围取决于分辨率: 8 位的编码范围为 6 至 250; 10 位的编码范围为 25 至 1000; 12 位的编码范围为 100 至 4000。
11. 仅计算其中一个通道的输出电压相对于平均输出电压的变化。

MCP48FEBXX

1.1 复位、掉电和SPI模式时序波形和要求

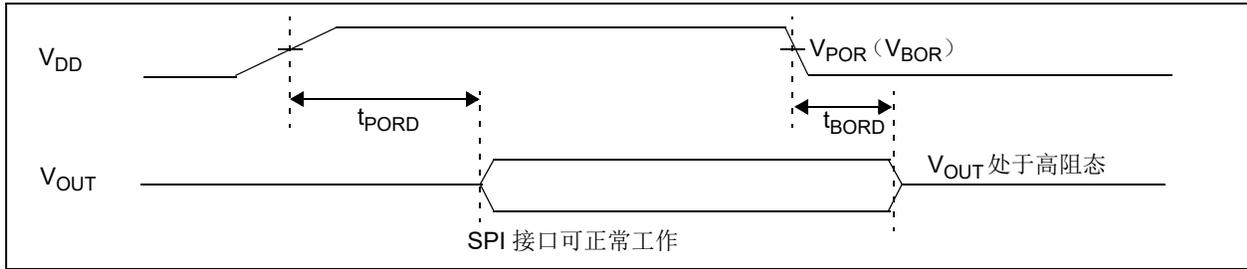


图1-1: 上电复位和欠压复位波形

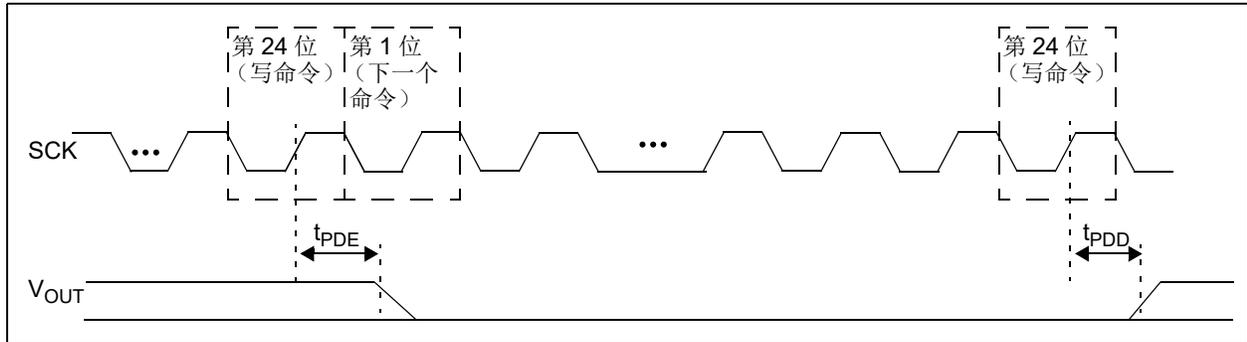


图1-2: SPI 掉电命令波形

表1-1: 复位和掉电时序

时序特性		标准工作条件 (除非另外说明): 工作温度: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级) 除非另外说明, 否则所有参数均适用于以下指定的工作范围: $V_{DD} = +1.8\text{V}$ 至 5.5V , $V_{SS} = 0\text{V}$ $R_L = 5\text{ k}\Omega$ (V_{OUT} 与 V_{SS} 之间), $C_L = 100\text{ pF}$ 典型规范值是指 $V_{DD} = 5.5\text{V}$ 、 $T_A = +25^{\circ}\text{C}$ 时的值。				
参数	符号	最小值	典型值	最大值	单位	条件
上电复位延时	t_{PORD}	—	60	—	μs	
欠压复位延时	t_{BORD}	—	45	—	μs	V_{DD} 发生如下转换: $V_{DD(MIN)} \rightarrow > V_{POR}$ 从驱动 V_{OUT} 到禁止 V_{OUT}
掉电输出禁止延时	T_{PDD}	—	10.5	—	μs	$\text{PDxB:PDxA} = 11$ 、 10 或 $01 \rightarrow 00$ (从第24个时钟周期结束时 SCK 的下降沿开始)。 易失性 DAC 寄存器 = FFh, $V_{OUT} = 10\text{ mV}$ 。 V_{OUT} 未连接。
掉电输出使能延时	T_{PDE}	—	1	—	μs	$\text{PDxB:PDxA} = 00 \rightarrow 11$ 、 10 或 01 (从第24个时钟周期结束时 SCK 的下降沿开始)。 $V_{OUT} = V_{OUT} - 10\text{ mV}$ 。 V_{OUT} 未连接。

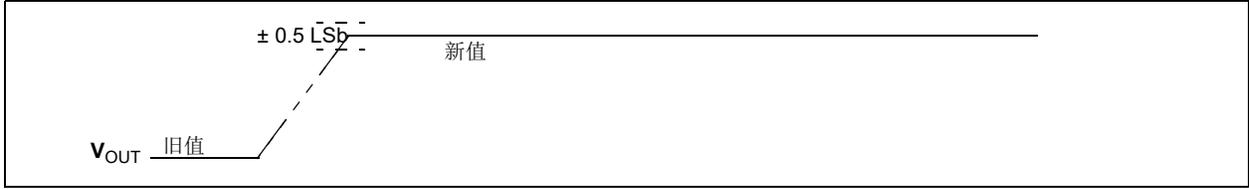


图1-3: V_{OUT} 稳定时间波形

表1-2: V_{OUT} 稳定时序

时序特性		标准工作条件（除非另外说明）： 工作温度：-40°C ≤ T _A ≤ +125°C（扩展级） 除非另外说明，否则所有参数均适用于以下指定的工作范围： V _{DD} = +1.8V 至 5.5V，V _{SS} = 0V R _L = 5 kΩ（V _{OUT} 与 V _{SS} 之间），C _L = 100 pF 典型规范值是指 V _{DD} = 5.5V、T _A = +25°C 时的值。					
参数	符号	最小值	典型值	最大值	单位	条件	
V _{OUT} 稳定时间 (±0.5 LSB 误差范围， C _L = 100 pF)（见 B.13 “稳定时间”）	t _S	—	7.8	—	μs	8 位	编码 = 40h → C0h；C0h → 40h ⁽³⁾
		—	7.8	—	μs	10 位	编码 = 100h → 300h；300h → 100h ⁽³⁾
		—	7.8	—	μs	12 位	编码 = 400h → C00h；C00h → 400h ⁽³⁾

注3 编码从FSR的1/4变为3/4时（例如：在12位器件中，从400h变为C00h），最终值的误差在1/2 LSB范围内。

MCP48FEBXX

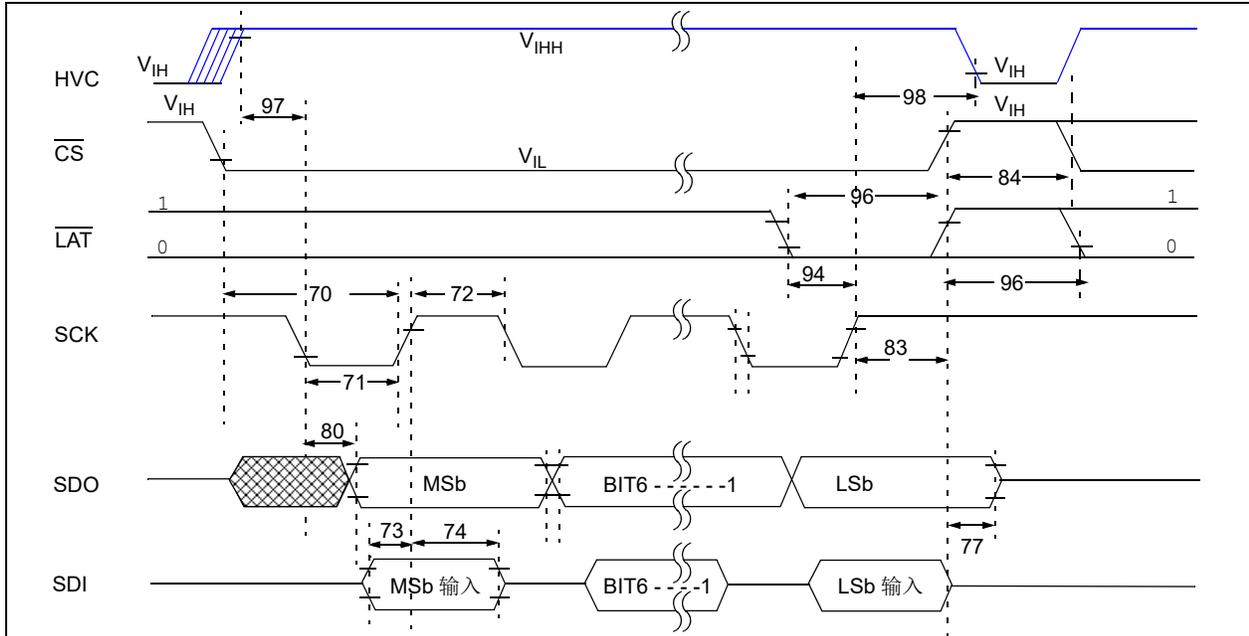


图1-4: SPI时序 (模式 = 11) 波形

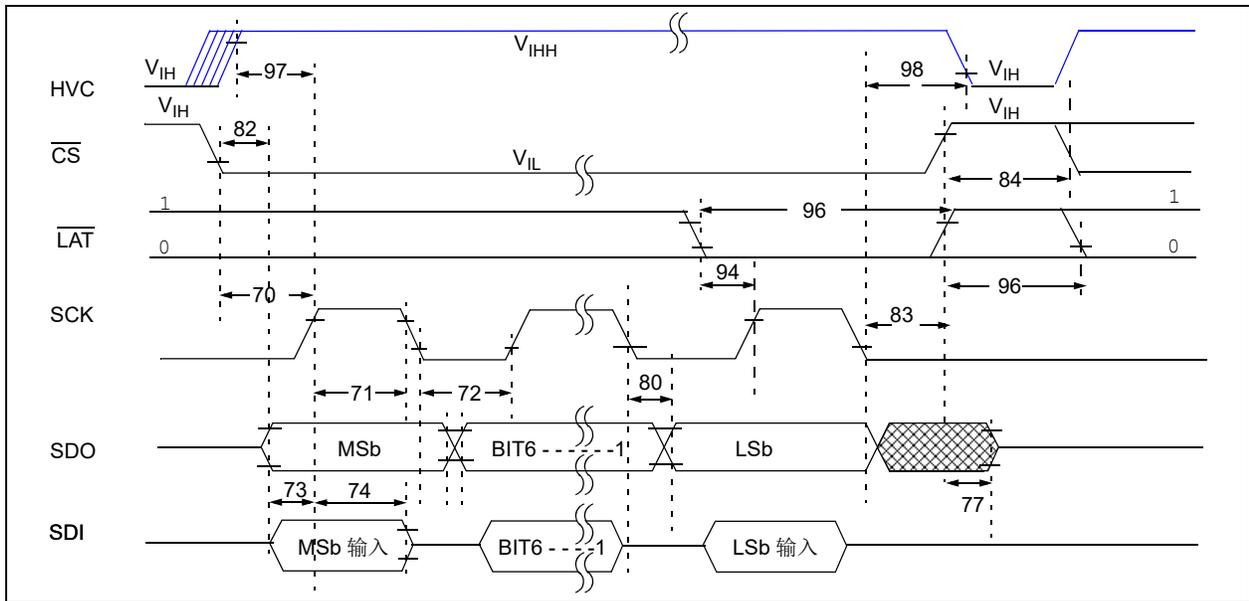


图1-5: SPI时序 (模式 = 00) 波形

表 1-3: SPI 要求 (模式 = 11)

SPI 交流特性		标准工作条件 (除非另外说明): 工作温度: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级) 直流特性 给出了工作电压范围。				
参数编号	符号	特性	最小值	最大值	单位	条件
	F_{SCK}	SCK 输入频率	—	10	MHz	$V_{\text{DD}} = 2.7\text{V}$ 至 5.5V (读命令)
			—	20	MHz	$V_{\text{DD}} = 2.7\text{V}$ 至 5.5V (所有其他命令)
			—	1	MHz	$V_{\text{DD}} = 1.8\text{V}$ 至 2.7V
70	T_{csA2sch}	$\overline{\text{CS}}$ 有效 (V_{IL}) 到命令的第一个 SCK \uparrow 输入的时间	60	—	ns	
71	TscH	SCK 输入高电平时间	20	—	ns	$V_{\text{DD}} = 2.7\text{V}$ 至 5.5V
			400	—	ns	$V_{\text{DD}} = 1.8\text{V}$ 至 2.7V
72	TscL	SCK 输入低电平时间	20	—	ns	$V_{\text{DD}} = 2.7\text{V}$ 至 5.5V
			400	—	ns	$V_{\text{DD}} = 1.8\text{V}$ 至 2.7V
73	T_{diV2sch}	SDI 输入到 SCK \uparrow 边沿的建立时间	10	—	ns	
74	T_{sch2diL}	SCK \uparrow 边沿之后 SDI 输入的保持时间	20	—	ns	
77	T_{csH2doZ}	$\overline{\text{CS}}$ 无效 (V_{IH}) 到 SDO 输出高阻抗的时间	—	50	ns	注 1
80	T_{scL2doV}	SCK \downarrow 边沿后 SDO 数据输出有效的的时间	—	45	ns	$V_{\text{DD}} = 2.7\text{V}$ 至 5.5V
			—	170	ns	$V_{\text{DD}} = 1.8\text{V}$ 至 2.7V
83	T_{sch2csL}	SCK \uparrow 边沿之后 $\overline{\text{CS}}$ 无效 (V_{IH}) 的时间	100	—	ns	$V_{\text{DD}} = 2.7\text{V}$ 至 5.5V
			1		μs	$V_{\text{DD}} = 1.8\text{V}$ 至 2.7V
84	TcsH	$\overline{\text{CS}}$ 高电平时间 (V_{IH})	50	—	ns	
94	T_{LATSU}	$\overline{\text{LAT}}\downarrow$ 到 SCK \uparrow (写数据第 24 位) 建立时间	20	—	ns	传输写数据 ⁽⁴⁾
96	T_{LAT}	$\overline{\text{LAT}}$ 高电平或低电平时间	20	—	ns	
97	T_{HVCSU}	HVC \uparrow 到 SCK \downarrow (第 1 个数据位) 的时间 (HVC 建立时间)	0	—	ns	高电压命令 ⁽¹⁾
98	T_{HVCHD}	SCK \uparrow (命令的最后一位 (第 8 位或第 24 位)) 到 HVC \downarrow 的时间 (HVC 保持时间)	25	—	ns	高电压命令 ⁽¹⁾

[注 1](#) 此参数由设计确保。

[注 4](#) LAT 信号必须先于第 24 个 SCK 信号的上升沿 10 ns 发生跳变 (规范 94), 否则当前寄存器数据值可能无法在寄存器改写为新值之前传输到输出锁存器 (VOUT)。

MCP48FEBXX

表 1-4: SPI 要求 (模式 = 00)

SPI 交流特性		标准工作条件 (除非另外说明): 工作温度: $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (扩展级) 直流特性 给出了工作电压范围。				
参数编号	符号	特性	最小值	最大值	单位	条件
	F _{SCK}	SCK 输入频率	—	10	MHz	V _{DD} = 2.7V 至 5.5V (读命令)
			—	20	MHz	V _{DD} = 2.7V 至 5.5V (所有其他命令)
			—	1	MHz	V _{DD} = 1.8V 至 2.7V
70	TcsA2scH	$\overline{\text{CS}}$ 有效 (V _{IL}) 到 SCK \uparrow 输入的时间	60	—	ns	
71	TscH	SCK 输入高电平时间	20	—	ns	V _{DD} = 2.7V 至 5.5V
			400	—	ns	V _{DD} = 1.8V 至 2.7V
72	TscL	SCK 输入低电平时间	20	—	ns	V _{DD} = 2.7V 至 5.5V
			400	—	ns	V _{DD} = 1.8V 至 2.7V
73	TdIV2scH	SDI 输入到 SCK \uparrow 边沿的建立时间	10	—	ns	
74	Tsch2dIL	SCK \uparrow 边沿之后 SDI 输入的保持时间	20	—	ns	
77	TcsH2DOZ	$\overline{\text{CS}}$ 无效 (V _{IH}) 到 SDO 输出高阻抗的时间	—	50	ns	注 1
80	TscL2doV	SCK \downarrow 边沿之后 SDO 数据输出有效的的时间	—	45	ns	V _{DD} = 2.7V 至 5.5V
			—	170	ns	V _{DD} = 1.8V 至 2.7V
82	TssL2doV	$\overline{\text{CS}}$ 有效 (V _{IL}) 之后 SDO 数据输出有效的的时间	—	70	ns	
83	Tsch2csL	SCK \downarrow 边沿之后 $\overline{\text{CS}}$ 无效 (V _{IH}) 的时间	100	—	ns	V _{DD} = 2.7V 至 5.5V
			1	—	μs	V _{DD} = 1.8V 至 2.7V
84	TcsH	$\overline{\text{CS}}$ 高电平时间 (V _{IH})	50	—	ns	
94	T _{LATSU}	$\overline{\text{LAT}} \downarrow$ 到 SCK \uparrow (写数据第 24 位) 建立时间	10	—	ns	传输写数据 ⁽⁴⁾
96	T _{LAT}	$\overline{\text{LAT}}$ 高电平或低电平时间	50	—	ns	
97	T _{HVCSU}	HVC \uparrow 到 SCK \uparrow (第 1 个数据位) 的时间 (HVC 建立时间)	0	—	ns	高电压命令 ⁽¹⁾
98	T _{HVCHD}	SCK \downarrow (命令的最后一位 (第 8 位或第 24 位)) 到 HVC \downarrow 的时间 (HVC 保持时间)	25	—	ns	高电压命令 ⁽¹⁾

[注 1](#) 此参数由设计确保。

[注 4](#) LAT 信号必须先于第 24 个 SCK 信号的上升沿 10 ns 发生跳变 (规范 94), 否则当前寄存器数据值可能无法在寄存器改写为新值之前传输到输出锁存器 (VOUT)。

时序表注意事项:

1. 此参数由设计确保。
2. 此参数由表征确保。
3. 编码从FSR的1/4变为3/4时（例如：在12位器件中，从400h变为C00h），最终值的误差在1/2 LSb范围内。
4. LAT信号必须先于第24个SCK信号的上升沿10 ns发生跳变（规范94），否则当前寄存器数据值可能无法在寄存器改写为新值之前传输到输出锁存器（V_{OUT}）。

MCP48FEBXX

温度规范

电气规范：除非另外说明，否则 $V_{DD} = +2.7V$ 至 $+5.5V$ ， $V_{SS} = GND$ 。

参数	符号	最小值	典型值	最大值	单位	条件
温度范围						
规定温度范围	T_A	-40	—	+125	°C	
工作温度范围	T_A	-40	—	+125	°C	注1
储存温度范围	T_A	-65	—	+150	°C	
封装热阻						
热阻，10引脚MSOP	θ_{JA}	—	202	—	°C/W	

注 1：MCP48FEBXX 器件可在此扩展温度范围内工作，但性能会降低。在此范围内工作时不能使 T_J 超出最大结温（+150°C）。

2.0 典型性能曲线

注： 为控制本PDF文档的文件大小，使其不超过多数邮件服务器10 MB的附件限制，器件性能曲线已单独收录于补充文档中。
MCP48FXBXX性能曲线文档的文献编号为**DS20005440**，用户可访问Microchip网站，导航至MCP48FEBXX产品页面的“文档和软件”下方的数据手册类别进行查看。

MCP48FEBXX

注:

3.0 引脚说明

第3.1章“正电源输入 (V_{DD})”至第3.10章“SPI——串行时钟引脚 (SCK)”概述了引脚功能。表3-1列出了单DAC输出器件的引脚说明，表3-2则列出了双DAC输出器件的引脚说明。

表3-1: MCP48FEBX1 (单通道DAC) 引脚分配说明

引脚				标准功能
MSOP-10LD	符号	I/O	缓冲器类型	
1	V_{DD}	—	P	电源电压引脚
2	\overline{CS}	I	ST	SPI片选引脚
3	V_{REF0}	A	模拟	参考电压输入引脚
4	V_{OUT0}	A	模拟	缓冲模拟电压输出引脚
5	NC	—	—	内部未连接
6	LAT0/HVC	I	HV ST	DAC寄存器锁存器/高电压命令引脚。 锁存器引脚允许将串行移位寄存器中的值传送到易失性DAC寄存器。 高电压命令引脚允许写入用户配置位。
7	V_{SS}	—	P	器件上所有电路的接地参考引脚
8	SDO	O	—	SPI串行数据输出引脚
9	SCK	I	ST	SPI串行时钟引脚
10	SDI	I	ST	SPI串行数据输入引脚

图注: A = 模拟 ST = 施密特触发器 HV = 高电压
I = 输入 O = 输出 I/O = 输入/输出 P = 电源

表3-2: MCP48FEBX2 (双通道DAC) 引脚分配说明

引脚				标准功能
MSOP-10LD	符号	I/O	缓冲器类型	
1	V_{DD}	—	P	电源电压引脚
2	\overline{CS}	I	ST	SPI片选引脚
3	V_{REF}	A	模拟	参考电压输入引脚 (用于DAC0和DAC1)
4	V_{OUT0}	A	模拟	缓冲模拟电压输出0引脚
5	V_{OUT1}	A	模拟	缓冲模拟电压输出1引脚
6	LAT0/HVC	I	HV ST	DAC寄存器锁存器/高电压命令引脚。锁存器引脚允许将串行移位寄存器中的值传送到易失性DAC寄存器 (用于DAC0和DAC1)。高电压命令引脚允许写入用户配置位。
7	V_{SS}	—	P	器件上所有电路的接地参考引脚
8	SDO	O	—	SPI串行数据输出引脚
9	SCK	I	ST	SPI串行时钟引脚
10	SDI	I	ST	SPI串行数据输入引脚

图注: A = 模拟 ST = 施密特触发器 HV = 高电压
I = 输入 O = 输出 I/O = 输入/输出 P = 电源

MCP48FEBXX

3.1 正电源输入 (V_{DD})

V_{DD} 是正电源电压输入引脚。输入电源电压相对于 V_{SS} 而言。

V_{DD} 引脚的电源应尽可能干净，以便获得良好的 DAC 性能。建议使用适当的旁路电容（约 $0.1\ \mu\text{F}$ 的陶瓷电容）接地。此外，还建议并联一个额外的 $10\ \mu\text{F}$ 电容（钽电容），以进一步衰减应用电路板中的噪声。

3.2 参考电压引脚 (V_{REF})

V_{REF} 引脚既可为输入，也可为输出。当 DAC 的参考电压配置为 V_{REF} 引脚时，该引脚为输入。当 DAC 的参考电压配置为内部带隙时，该引脚为输出。

当 DAC 的参考电压配置为 V_{REF} 引脚时，该电压输入有两个选择：

- 缓冲的 V_{REF} 引脚电压
- 非缓冲的 V_{REF} 引脚电压

如果外部参考电压没有足够的电流能力，无法在连接到内部梯形电阻网络时保持电压稳定，则采用缓冲选项。

当 DAC 的参考电压配置为器件 V_{DD} 时， V_{REF} 引脚与内部电路断开。

当 DAC 的参考电压配置为内部带隙时， V_{REF} 引脚的驱动能力最弱，因此应对输出信号进行缓冲。

有关配置位的更多详细信息，请参见第 5.2 节“参考电压选择”和寄存器 4-2。

3.3 模拟输出电压引脚 (V_{OUT})

V_{OUT} 是 DAC 模拟电压输出引脚。DAC 输出配有输出放大器。DAC 输出范围取决于参考电压源的选择（以及可能存在的输出增益选择）。其中包括：

- 器件 V_{DD} —— DAC 输出的满量程范围为 V_{SS} 至 V_{DD} 左右。
- V_{REF} 引脚 —— DAC 输出的满量程范围为 V_{SS} 至 $G * V_{RL}$ ，其中 G 为增益选择选项（1x 或 2x）。
- 内部带隙 —— DAC 输出的满量程范围为 V_{SS} 至 $G * (2 * V_{BG})$ ，其中 G 为增益选择选项（1x 或 2x）。

在正常模式下，输出引脚的直流阻抗约为 $1\ \Omega$ 。在掉电模式下，输出引脚在内部连接到已知下拉电阻（ $1\ \text{k}\Omega$ 和 $100\ \text{k}\Omega$ ）或者开路。寄存器 4-3 和表 5-5 给出了掉电选择位的设置。

3.4 无连接 (NC)

NC 引脚未连接到器件。

3.5 地 (V_{SS})

V_{SS} 引脚是器件参考地。

用户必须通过低阻抗连接将 V_{SS} 引脚连接到地平面。如果应用印刷电路板 (Printed Circuit Board, PCB) 上有模拟地路径，强烈建议将 V_{SS} 引脚连接到模拟地路径或隔离在电路板的模拟地平面内。

3.6 锁存器引脚 (LAT) / 高电压命令 (HVC)

LAT 引脚用于强制将 DAC 寄存器的移位寄存器内容传输到 DAC 输出寄存器。这样，便可同时更新多个 DAC 输出。

$VRxB:VRxA$ 、 $PDxB:PDxA$ 和 Gx 位的更新也由 LAT 引脚状态控制。

当 HVC 引脚上的电压大于 V_{IH} 进入电压时，可通过 HVC 引脚对器件的非易失性用户配置位进行编程。

3.7 SPI——片选引脚 (\overline{CS})

\overline{CS} 引脚用于使能/禁止串行接口。必须使能串行接口，器件才能接收 SPI 命令。

有关 SPI 串行接口通信的更多详细信息，请参见第 6.2 节“SPI 串行接口”。

NC 引脚未连接到器件。

3.8 SPI——串行数据输入引脚 (SDI)

SDI 引脚是 SPI 接口的串行数据输入引脚。SDI 引脚用于读取 DAC 寄存器和配置位。

有关 SPI 串行接口通信的更多详细信息，请参见第 6.2 节“SPI 串行接口”。

3.9 SPI——串行数据输出引脚 (SDO)

SDO 引脚是 SPI 接口的串行数据输出引脚。SDO 引脚用于写入 DAC 寄存器和配置位。

有关 SPI 串行接口通信的更多详细信息，请参见第 6.2 节“SPI 串行接口”。

3.10 SPI——串行时钟引脚 (SCK)

SCK 引脚是 SPI 接口的串行时钟引脚。MCP48FEBXX SPI 接口仅接受外部串行时钟。

有关 SPI 串行接口通信的更多详细信息，请参见第 6.2 节“SPI 串行接口”。

4.0 概述

MCP48FEBX1 (MCP48FEB01、MCP48FEB11 和 MCP48FEB21) 器件是单通道电压输出器件。

MCP48FEBX2 (MCP48FEB02、MCP48FEB12 和 MCP48FEB22) 器件是双通道电压输出器件。

这些器件支持 8 位 (MCP48FEB0X)、10 位

(MCP48FEB1X) 和 12 位 (MCP48FEB2X) 三种分辨率，并配有非易失性存储器 (EEPROM)、SPI 串行接口和写锁存器 (LAT) 引脚，该引脚用于控制将写入的 DAC 值更新到 DAC 输出引脚。

该系列器件采用梯形电阻网络架构。梯形电阻网络 DAC 由可通过软件选择的参考电压源驱动。电压源可以是器件的内部 V_{DD} 、外部 V_{REF} 引脚电压 (缓冲或非缓冲) 或内部带隙电压源。

DAC 输出采用低功耗的高精度输出放大器 (运放) 进行缓冲。该输出放大器提供兼具低失调电压和低噪声的轨对轨输出。输出缓冲器的增益 (1x 或 2x) 可通过软件配置。

该器件还具有用户可编程的非易失性存储器 (EEPROM)，允许用户保存 DAC 寄存器和器件配置位所需的 POR/BOR 值。高电压锁定位可用于确保器件的输出设置不会遭到意外修改。

该系列器件采用单电源电压供电。在全额工作模式下，该电压的额定范围为 2.7V 至 5.5V；在数字工作模式下，该电压的额定范围为 1.8V 至 5.5V。器件的工作电压在 1.8V 至 2.7V 之间，但没有标定某些器件参数。

主要功能模块包括：

- 上电复位/欠压复位 (POR/BOR)
- 器件存储器
- 梯形电阻网络
- 输出缓冲器 V_{OUT} 操作
- 内部带隙 (参考电压)
- SPI 串行接口模块

4.1 上电复位/欠压复位 (POR/BOR)

内部上电复位 (POR) / 欠压复位 (BOR) 电路监视工作过程中的电源电压 (V_{DD})。该电路可确保在发生系统上电和掉电事件时正确启动器件。器件的 RAM 保持电压 (V_{RAM}) 低于 POR/BOR 电压跳变点 (V_{POR}/V_{BOR})。最大 V_{POR}/V_{BOR} 电压低于 1.8V。

电压上升 (通常从 0V 开始) 时发生 POR，电压下降 (通常从 $V_{DD(MIN)}$ 或较高值开始) 时发生 BOR。

POR 和 BOR 跳变点处于相同的电压，具体条件由 V_{DD} 电压上升还是下降决定 (见图 4-1)。POR 和 BOR 两种复位后发生的情况会有所不同。

当 $V_{POR}/V_{BOR} < V_{DD} < 2.7V$ 时，电气性能可能无法满足数据手册规范。在该电压区域，如果执行适当的串行命令，器件就能够读写其 EEPROM 和易失性存储器。

MCP48FEBXX

4.1.1 上电复位

上电复位即为器件的 V_{DD} 由 V_{SS} 电压供电的情况。器件上电时， V_{OUT} 引脚将悬空为未知值。当器件的 V_{DD} 高于器件的晶体管阈值电压时，输出开始拉为低电平。当 V_{DD} 高于POR/BOR跳变点（ V_{BOR}/V_{POR} ）时，电阻网络的抽头装入POR值（中等量程）。易失性存储器决定模拟输出（ V_{OUT} ）引脚电压。器件上电后，用户可以更新器件存储器。

当 V_{DD} 电压升至 V_{POR} 跳变点以上时，将发生以下事件：

- 非易失性 DAC 寄存器值锁存到易失性 DAC 寄存器中
- 非易失性配置位值锁存到易失性配置位中
- POR 状态位置 1
- 复位延时定时器（ t_{PORD} ）启动：当复位延时定时器（ t_{PORD} ）超时，SPI 串行接口可工作。在该延时期间，SPI 接口将不接受命令。
- 器件存储器地址指针被强制为 00h。

模拟输出（ V_{OUT} ）状态将由易失性配置位和 DAC 寄存器决定。这称为上电复位（事件）。

图4-1所示为典型条件下发生上电和掉电事件时的状态。

4.1.2 欠压复位

当对器件供电并且电源（电压）低于指定范围时，会发生欠压复位。

当 V_{DD} 电压降至 V_{POR} 跳变点以下（BOR事件）时，将发生以下事件：

- 禁止串行接口
- 禁止EEPROM写操作
- 强制器件进入掉电状态（ $PDxB:PDxA = 11$ ）。关闭模拟电路。
- 强制将易失性 DAC 寄存器设为 000h
- 强制将易失性配置位 $VRxB:VRxA$ 和 Gx 设为 0

如果是 V_{DD} 电压降至 V_{RAM} 电压以下，所有易失性存储器均可能会损坏。

当电压恢复至 V_{POR}/V_{BOR} 电压以上时，请参见第4.1.1节“上电复位”。

由于欠压条件而未完成的串行命令可能导致存储单元（易失性和非易失性）损坏。

图4-1所示为典型条件下发生上电和掉电事件时的状态。

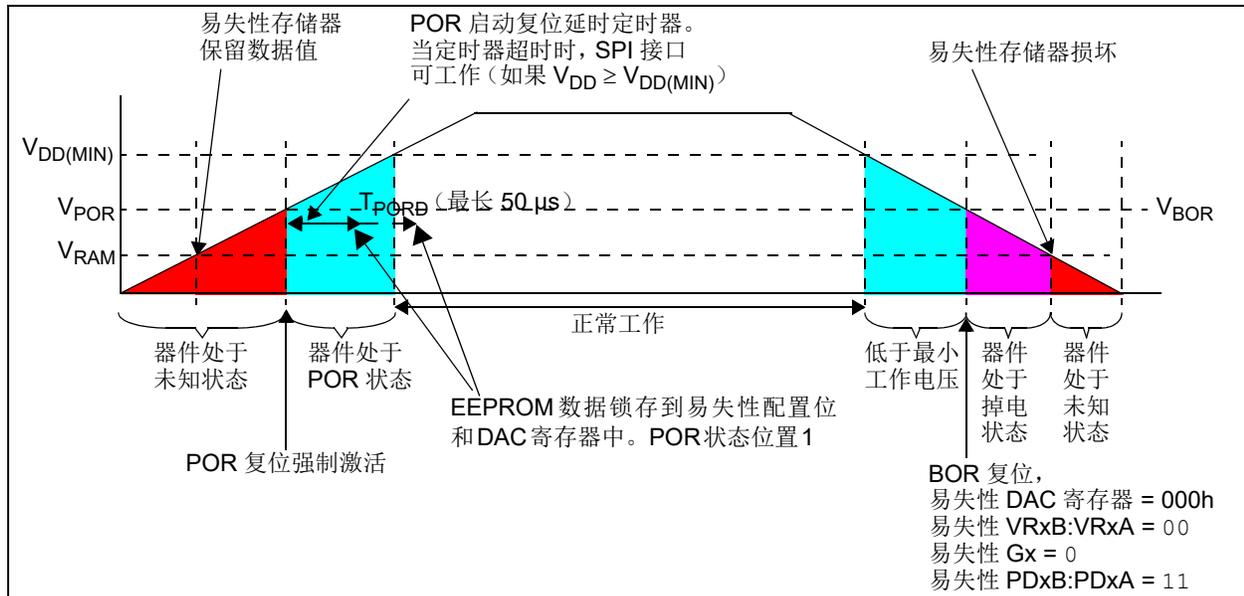


图4-1： 上电复位操作

4.2 器件存储器

用户存储器包括以下三种类型：

- 易失性寄存器存储器 (RAM)
- 非易失性寄存器存储器
- 器件配置存储器

每个存储器地址为16位宽。最多有5个非易失性用户控制位不在存储器映射的寄存器空间中（见第4.2.3节“器件配置存储器”）。

4.2.1 易失性寄存器存储器 (RAM)

最多有6个易失性存储单元：

- DAC0和DAC1输出值寄存器
- VREF选择寄存器
- 掉电配置寄存器
- 增益和状态寄存器
- WiperLock™技术状态寄存器

当器件 V_{DD} 处于（或高于）RAM保持电压（ V_{RAM} ）时，易失性存储器开始工作。当 V_{DD} 升至 V_{POR}/V_{BOR} 电压跳变点以上时，易失性存储器将装入默认器件值。

4.2.2 非易失性寄存器存储器

该存储器可分为两种用途的非易失性存储器。下面列出了DAC输出值和配置寄存器：

- 非易失性DAC0和DAC1输出值寄存器
- 非易失性VREF选择寄存器
- 非易失性掉电配置寄存器
- 非易失性增益寄存器

当电压低于器件的 V_{POR}/V_{BOR} 跳变点时，非易失性存储器会开始工作，随后只要器件的电压上升到POR/BOR电压跳变点以上，便会将值装入相应的易失性寄存器中。

串行接口命令完成后，器件开始写入EEPROM存储单元。对于SPI接口，CS引脚此时变为无效状态（ V_{IH} ）。

注： 写入非易失性存储器时，不会修改相应的易失性存储器。

在为非易失性DAC寄存器编程所需值后，器件可实现独立工作（无需单片机控制）。

表4-1: 存储器映射 (x16)

地址	功能	配置位 ⁽¹⁾
00h	易失性DAC0寄存器	CL0
01h	易失性DAC1寄存器	CL1
02h	保留	—
03h	保留	—
04h	保留	—
05h	保留	—
06h	保留	—
07h	保留	—
08h	V_{REF} 寄存器	—
09h	掉电寄存器	—
0Ah	增益和状态寄存器	—
0Bh	WiperLock™技术状态寄存器	—
0Ch	保留	—
0Dh	保留	—
0Eh	保留	—
0Fh	保留	—

地址	功能	配置位 ⁽¹⁾
10h	非易失性DAC0寄存器	DL0
11h	非易失性DAC1寄存器	DL1
12h	保留	—
13h	保留	—
14h	保留	—
15h	保留	—
16h	保留	—
17h	保留	—
18h	非易失性 V_{REF} 寄存器	—
19h	非易失性掉电寄存器	—
1Ah	NV增益寄存器	—
1Bh	保留	—
1Ch	保留	—
1Dh	保留	—
1Eh	保留	—
1Fh	保留	—

易失性存储器地址范围

非易失性存储器地址范围

注 1： 器件配置存储器位需要使用高电压使能或禁止命令（ $\overline{LAT}/\overline{LAT0} = V_{IH}$ ，或者 $\overline{CS} = V_{IH}$ ）修改位值。

MCP48FEBXX

4.2.3 器件配置存储器

最多有5个非易失性用户位未直接映射到地址空间。这些非易失性器件配置位控制以下功能：

- DAC 寄存器
- 配置WiperLock技术（每个DAC 2位）

状态寄存器显示器件WiperLock技术配置位的状态。寄存器4-6中介绍了状态寄存器。

有关WiperLock技术的工作原理，请参见第4.2.6节“WiperLock技术”。

4.2.4 未实现的寄存器位

对有效存储单元执行读命令时，未实现位将读为0。

4.2.5 未实现（保留）存储单元

如果对未实现的存储器地址（保留）执行正常（电压）命令（读或写），将导致命令错误条件（CMDERR）。对保留的存储单元执行读命令时，其中的各个位均读为1。

如果对任何未实现的配置位执行高电压命令（使能或禁止），将导致命令错误条件（CMDERR）。

4.2.5.1 非易失性存储器（EEPROM）的出厂默认POR存储器状态

表4-2列出了8位、10位和12位器件存储器映射的出厂默认POR初始化值。

注： 易失性存储单元将由非易失性存储器状态（寄存器和器件配置位）确定。

表4-2: 出厂默认的POR/BOR值

地址	功能	POR/BOR值		
		8位	10位	12位
00h	易失性DAC0寄存器	7Fh	1FFh	7FFh
01h	易失性DAC1寄存器	7Fh	1FFh	7FFh
02h	保留 ⁽¹⁾	FFh	3FFh	FFFh
03h	保留 ⁽¹⁾	FFh	3FFh	FFFh
04h	保留 ⁽¹⁾	FFh	3FFh	FFFh
05h	保留 ⁽¹⁾	FFh	3FFh	FFFh
06h	保留 ⁽¹⁾	FFh	3FFh	FFFh
07h	保留 ⁽¹⁾	FFh	3FFh	FFFh
08h	V _{REF} 寄存器	0000h	0000h	0000h
09h	掉电寄存器	0000h	0000h	0000h
0Ah	增益和状态寄存器	0080h	0080h	0080h
0Bh	WiperLock™ 技术状态寄存器	0000h	0000h	0000h
0Ch	保留 ⁽¹⁾	FFh	3FFh	FFFh
0Dh	保留 ⁽¹⁾	FFh	3FFh	FFFh
0Eh	保留 ⁽¹⁾	FFh	3FFh	FFFh
0Fh	保留 ⁽¹⁾	FFh	3FFh	FFFh

地址	功能	POR/BOR值		
		8位	10位	12位
10h	非易失性DAC0寄存器	7Fh	1FFh	7FFh
11h	非易失性DAC1寄存器	7Fh	1FFh	7FFh
12h	保留 ⁽¹⁾	FFh	3FFh	FFFh
13h	保留 ⁽¹⁾	FFh	3FFh	FFFh
14h	保留 ⁽¹⁾	FFh	3FFh	FFFh
15h	保留 ⁽¹⁾	FFh	3FFh	FFFh
16h	保留 ⁽¹⁾	FFh	3FFh	FFFh
17h	保留 ⁽¹⁾	FFh	3FFh	FFFh
18h	非易失性V _{REF} 寄存器	0000h	0000h	0000h
19h	非易失性掉电寄存器	0000h	0000h	0000h
1Ah	NV增益	0000h	0000h	0000h
1Bh	保留 ⁽¹⁾	FFh	3FFh	FFFh
1Ch	保留 ⁽¹⁾	FFh	3FFh	FFFh
1Dh	保留 ⁽¹⁾	FFh	3FFh	FFFh
1Eh	保留 ⁽¹⁾	FFh	3FFh	FFFh
1Fh	保留 ⁽¹⁾	FFh	3FFh	FFFh

易失性存储器地址范围

非易失性存储器地址范围

注 1： 读取保留存储单元将导致SPI命令错误条件。SDO引脚将输出全0。将CS引脚强制设为V_{IH}状态会复位SPI接口。

4.2.6 WIPERLOCK 技术

通过MCP48FEBXX器件的WiperLock技术，无需使用额外的写保护引脚即可保护特定于应用的器件设置（DAC寄存器和配置）。每个DAC（DAC0和DAC1）有两个配置位（DLx:CLx）。

WiperLock技术可根据DLx:CLx配置位的状态阻止串行命令对DACx寄存器和位执行以下操作：

- 写入指定的易失性DACx寄存器存储单元
- 写入指定的非易失性DACx寄存器存储单元
- 写入指定的易失性DACx配置位
- 写入指定的非易失性DACx配置位

每一对配置位均控制四种模式中的一种。表4-3列出了这些模式。表4-1列出了配置位的地址。

若要修改配置位，必须将HVC引脚强制设为 V_{IH} 状态，然后必须接收到用于指定所需的DAC寄存器地址对的使能或禁止命令。

注： 若要修改CL0位，使能或禁止命令指定地址00h；若要修改DL0位，使能或禁止命令指定地址10h。

请参见第7.4节“使能配置位”和第7.5节“禁止配置位”命令了解具体操作。

注： 在器件通信期间，如果器件地址/命令组合无效或指定了未实现的地址，则MCP48FEBXX将针对该命令字节生成命令错误。要复位串行接口状态机，必须在CS引脚恢复有效状态（ V_{IL} 或 V_{IH} ）之前将其驱动为无效状态（ V_{IH} ）。

4.2.6.1 使能WiperLock技术时的POR/BOR操作

WiperLock技术状态不受POR/BOR事件的影响。POR/BOR事件会将非易失性DAC0（DAC1）寄存器值装载到易失性DAC0（DAC1）寄存器值中。

表4-3: WIPERLOCK™ 技术配置位——功能说明

DLx:CLx (1)	寄存器/位				备注
	DACx		DACx配置(2)		
	易失性	非易失性	易失性	非易失性	
11	锁定	锁定	锁定	锁定	锁定所有DACx寄存器。
10	锁定	锁定	未锁定	锁定	锁定除易失性DACx配置寄存器外的所有DACx寄存器。这样可以在掉电模式下正常工作。
01	未锁定	锁定	未锁定	锁定	解锁易失性DACx寄存器，锁定非易失性DACx寄存器。
00	未锁定	未锁定	未锁定	未锁定	解锁所有DACx寄存器。

注 1： 这些配置位（DLx:CLx）的状态反映在WLxB:WLxA位中，如寄存器4-6所示。

2： DAC配置位包括参考电压控制位（VRxB:VRxA）、掉电控制位（PDxB:PDxA）和输出增益位（Gx）。

MCP48FEBXX

4.2.7 器件寄存器

寄存器4-1所示为易失性存储单元和非易失性存储单元的DAC输出值寄存器的格式。这些寄存器可以是8位、10位或12位宽，值为右对齐。

寄存器4-1: DAC0和DAC1寄存器（易失性和非易失性）

	U-0	U-0	U-0	U-0	R/W-0											
12位	—	—	—	—	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
10位	—	—	—	—	—(1)	—(1)	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00
8位	—	—	—	—	—(1)	—(1)	—(1)	—(1)	D07	D06	D05	D04	D03	D02	D01	D00
bit 15																bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位，读为0
 -n = POR时的值 1 = 置1 0 = 清零 x = 未知
 = 12位器件 = 10位器件 = 8位器件

12位	10位	8位	
bit 15-12	bit 15-10	bit 15-8	未实现: 读为0
bit 11-0	—	—	D11-D00: DAC输出值——12位器件 FFFh = 满量程输出值 7FFh = 中等量程输出值 000h = 零量程输出值
—	bit 9-0	—	D09-D00: DAC输出值——10位器件 3FFh = 满量程输出值 1FFh = 中等量程输出值 000h = 零量程输出值
—	—	bit 7-0	D07-D00: DAC输出值——8位器件 FFh = 满量程输出值 7Fh = 中等量程输出值 000h = 零量程输出值

注 1: 未实现位，读为0。

寄存器4-2所示为参考电压控制寄存器的格式。每个DAC有两个位用于控制DAC的参考电压源。该寄存器用于易失性存储单元和非易失性存储单元。

寄存器4-2: 参考电压 (VREF) 控制寄存器 (易失性和非易失性) (地址08h和18h)

	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
单通道	—	—	—	—	—	—	—	—	—	—	—	— ⁽¹⁾	— ⁽¹⁾	VR0B	VR0A
双通道	—	—	—	—	—	—	—	—	—	—	—	VR1B	VR1A	VR0B	VR0A
	bit 15														bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为0
 -n = POR时的值 1 = 置1 0 = 清零 x = 未知
 = 单通道器件 = 双通道器件

单通道 双通道

bit 15-2	bit 15-4	未实现: 读为0
bit 1-0	bit 3-0	VRxB-VRxA: DAC参考电压控制位
		11 = V _{REF} 引脚 (缓冲); 使能V _{REF} 缓冲器
		10 = V _{REF} 引脚 (非缓冲); 禁止V _{REF} 缓冲器
		01 = 内部带隙 (典型值为1.22V); 使能V _{REF} 缓冲器 掉电时驱动V _{REF} 电压
		00 = V _{DD} (非缓冲); 禁止V _{REF} 缓冲器。 将该状态与掉电位配合使用可最大限度地降低电流。

注 1: 未实现位, 读为0。

MCP48FEBXX

寄存器4-3所示为掉电控制寄存器的格式。每个DAC有两个位用于控制DAC的掉电状态。该寄存器用于易失性存储单元和非易失性存储单元。

寄存器4-3: 掉电控制寄存器（易失性和非易失性）（地址09h和19h）

	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
单通道	—	—	—	—	—	—	—	—	—	—	—	— ⁽¹⁾	— ⁽¹⁾	PD0B	PD0A
双通道	—	—	—	—	—	—	—	—	—	—	—	PD1B	PD1A	PD0B	PD0A
	bit 15														bit 0

图注:

R = 可读位 W = 可写位 U = 未实现位，读为0
 -n = POR时的值 1 = 置1 0 = 清零 x = 未知
 = 单通道器件 = 双通道器件

单通道	双通道	
bit 15-2	bit 15-4	未实现: 读为0
bit 1-0	bit 3-0	PDxB-PDxA: DAC掉电控制位 ⁽²⁾
		11 = 掉电——V _{OUT} 开路。
		10 = 掉电——V _{OUT} 接有100 kΩ的接地电阻。
		01 = 掉电——V _{OUT} 接有1 kΩ的接地电阻。
		00 = 正常工作（未掉电）

- 注 1: 未实现位，读为0。
 注 2: 更多详细信息，请参见表5-5和图5-10。

寄存器4-4所示为易失性增益控制和系统状态寄存器的格式。每个DAC都有一个用于控制DAC增益的位和三个状态位。

寄存器 4-4: 增益控制和系统状态寄存器 (易失性) (地址 0Ah)

	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/C-1	R-0	U-0	U-0	U-0	U-0	U-0
单通道	—	—	—	—	—	—	— ⁽¹⁾	G0	POR	EEWA	—	—	—	—	—
双通道	—	—	—	—	—	—	G1	G0	POR	EEWA	—	—	—	—	—
bit 15															bit 0

图注:

R = 可读位 W = 可写位 C = 可清零位 U = 未实现位, 读为0
 -n = POR时的值 1 = 置1 0 = 清零 x = 未知
 = 单通道器件  = 双通道器件

单通道	双通道	
bit 15-9	bit 15-10	未实现: 读为0
—	bit 9	G1: DAC1输出驱动器增益控制位 (仅限双通道器件) 1 = 2x增益 0 = 1x增益
bit 8	bit 8	G0: DAC0输出驱动器增益控制位 1 = 2x增益 0 = 1x增益
bit 7	bit 7	POR: 上电复位 (欠压复位) 状态位 该位指示自该寄存器的最后一个读命令之后是否发生了上电复位 (POR) 或欠压复位 (BOR) 事件。读取该寄存器会清除POR状态位的状态。 1 = 对该寄存器执行最后一个读命令后发生了POR (BOR) 事件。读取该寄存器将清零该位。 0 = 自该寄存器的最后一个读命令之后未发生POR (BOR) 事件。
bit 6	bit 6	EEWA: EEPROM写活动状态位 该位指示是否正在发生EEPROM写周期。 1 = 当前正在发生EEPROM写周期。仅允许对易失性存储器执行串行命令。 0 = 当前未发生EEPROM写周期。
bit 5-0	bit 5-0	未实现: 读为0

注 1: 未实现位, 读为0。

MCP48FEBXX

寄存器4-5所示为非易失性增益控制寄存器的格式。每个DAC都有一个位用于控制DAC的增益。

寄存器4-5: 增益控制寄存器（非易失性）（地址1Ah）

	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	U-0							
单通道	—	—	—	—	—	—	— ⁽¹⁾	G0	—	—	—	—	—	—	—
双通道	—	—	—	—	—	—	G1	G0	—	—	—	—	—	—	—
	bit 15 bit 0														

图注:

R = 可读位 W = 可写位 U = 未实现位，读为0
 -n = POR时的值 1 = 置1 0 = 清零 x = 未知
 = 单通道器件 = 双通道器件

单通道	双通道	
bit 15-9	bit 15-10	未实现: 读为0
—	bit 9	G1: DAC1输出驱动器增益控制位（仅限双通道器件） 1 = 2x增益 0 = 1x增益
bit 8	bit 8	G0: DAC0输出驱动器增益控制位 1 = 2x增益 0 = 1x增益
bit 7-0	bit 6-0	未实现: 读为0

注 1: 未实现位，读为0。

寄存器4-6所示为DAC WiperLock技术状态寄存器的格式。

寄存器 4-6: DAC WIPERLOCK™ 技术状态寄存器 (易失性) (地址0BH)

	U-0	R-0 ⁽¹⁾	R-0 ⁽¹⁾	R-0 ⁽¹⁾	R-0 ⁽¹⁾											
单通道	—	—	—	—	—	—	—	—	—	—	—	—	— ⁽²⁾	— ⁽²⁾	WL0B	WL0A
双通道	—	—	—	—	—	—	—	—	—	—	—	—	WL1B	WL1A	WL0B	WL0A
bit 15													bit 0			

图注:

R = 可读位 W = 可写位 U = 未实现位, 读为0
 -n = POR时的值 1 = 置1 0 = 清零 x = 未知
 = 单通道器件  = 双通道器件

单通道 双通道

bit 15-2 bit 15-4 **未实现:** 读为0
 bit 1-0 bit 3-0 **WLxB-WLxA:** WiperLock技术状态位: 这些位反映DLx:CLx非易失性配置位的状态。
 11 = DAC抽头和DAC配置(易失性和非易失性寄存器)锁定。
 (DLx = CLx = 使能)
 10 = DAC抽头(易失性和非易失性)和DAC配置(非易失性寄存器)锁定
 (DLx = 使能; CLx = 禁止)。
 01 = DAC抽头(非易失性)和DAC配置(非易失性寄存器)锁定。
 (DLx = 禁止; CLx = 使能)
 00 = DAC抽头和DAC配置解锁(DLx = CLx = 禁止)。

注 1: POR值取决于DLx:CLx配置位被编程的值。器件出厂时, DLx:CLx配置位的状态默认为0。

2: 未实现位, 读为0。

MCP48FEBXX

注:

5.0 DAC 电路

数模转换器电路将数字值转换为其模拟表示。以下将详细说明器件的功能操作。

DAC 电路使用梯形电阻网络实现。器件最多有两个 DAC。

图5-1所示为MCP48FEBXX DAC 电路的功能框图。

DAC 的功能模块包括：

- 梯形电阻网络
- 参考电压选择
- 输出缓冲器/V_{OUT}操作
- 内部带隙（作为参考电压）
- 锁存器引脚（LAT）
- 掉电操作

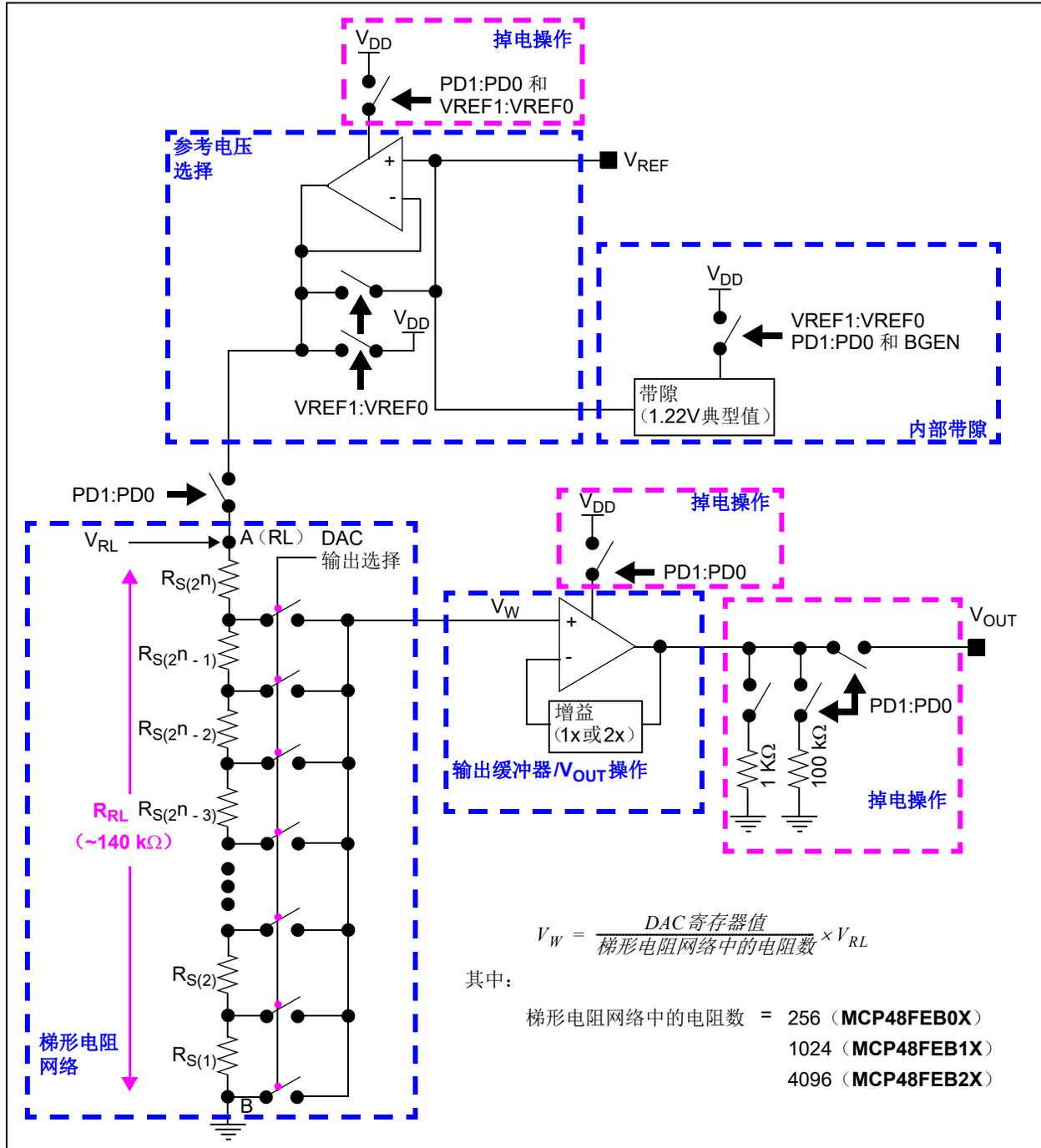


图5-1: MCP48FEBXX DAC 模块框图

MCP48FEBXX

5.1 梯形电阻网络

梯形电阻网络是一种数字电位器，A端子连接到所选的参考电压（见 图5-2），B端子在内部接地。易失性DAC寄存器控制抽头位置。抽头电压（ V_W ）等于DAC寄存器值除以梯形电阻网络中的电阻元件（ R_S ）数（256、1024或4096）再乘以 V_{RL} 电压。

电阻网络的输出将驱动输出缓冲器的输入。

电阻网络由以下三部分组成：

- 梯形电阻网络（ R_S 元件串）
- 抽头开关
- DAC寄存器解码

梯形电阻网络（ R_{RL} ）的典型阻抗约为140 k Ω 。该梯形电阻网络的电阻（ R_{RL} ）可能因器件而异，最高相差 $\pm 20\%$ 。由于这是分压器配置， V_{RL} 采用固定电压时，实际 R_{RL} 电阻不会影响输出。

公式5-1所示为阶跃电阻的计算方法：

公式5-1: R_S 计算

$R_S = \frac{R_{RL}}{(256)}$	8 位器件
$R_S = \frac{R_{RL}}{(1024)}$	10 位器件
$R_S = \frac{R_{RL}}{(4096)}$	12 位器件

注： 最大抽头位置为 $2^n - 1$ ，而梯形电阻网络中的电阻数为 2^n 。这意味着当DAC寄存器为满量程时，在抽头和 V_{RL} 电压之间有一个电阻元件（ R_S ）。

如果非缓冲 V_{REF} 引脚用作 V_{RL} 电压源，则该电压源应具有低输出阻抗。

当DAC掉电时，梯形电阻网络与所选参考电压断开。

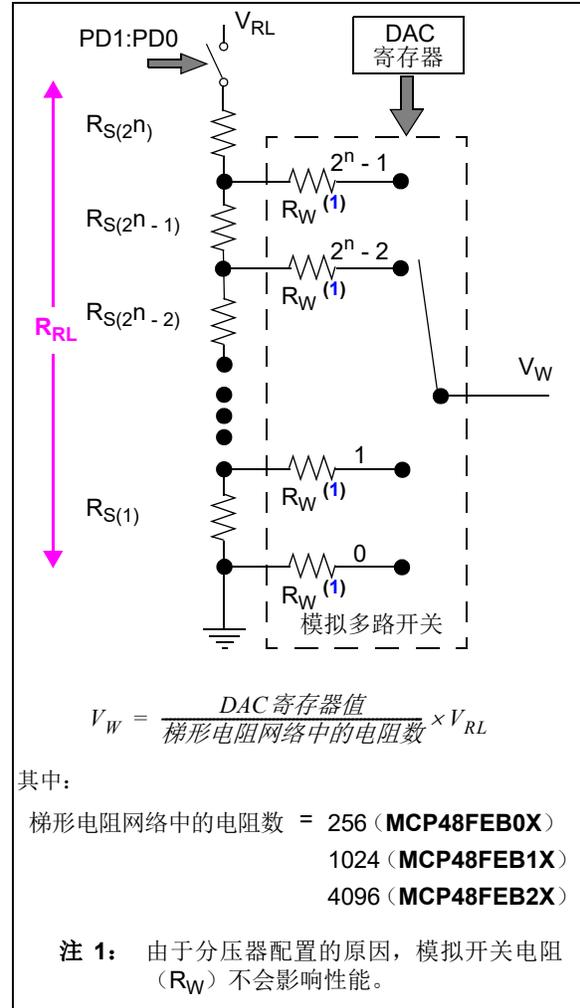


图5-2: 梯形电阻网络模型框图

5.2 参考电压选择

梯形电阻网络最多有四个参考电压源。可使用两个用户控制位（VREF1:VREF0）进行选择，选定的参考电压连接到V_{RL}节点（见图5-3和5-4）。梯形电阻网络的四个电压源选项如下：

1. V_{DD} 引脚电压
2. 内部参考电压（V_{BG}）
3. 非缓冲的V_{REF} 引脚电压
4. 内部缓冲的V_{REF} 引脚电压

具体选择哪个电压由易失性V_{REF1}:V_{REF0}配置位指定（见寄存器4-2）。VREF1:VREF0配置位分为非易失性和易失性两种。在发生POR/BOR事件时，非易失性VREF1:VREF0配置位的状态锁存到易失性VREF1:VREF0配置位中。

当用户选择V_{DD}作为参考电压时，V_{REF}引脚电压不连接到梯形电阻网络。

如果选择V_{REF}引脚，则必须在缓冲模式与非缓冲模式之间进行选择。

5.2.1 非缓冲模式

V_{REF}引脚电压可在V_{SS}至V_{DD}范围内变化。

- 注 1:** 电压源应具有低输出阻抗。如果电压源具有高输出阻抗，则V_{REF}引脚上的电压会低于预期。梯形电阻网络的阻抗典型值为140 kΩ，电容典型值为29 pF。
- 2:** 如果V_{REF}引脚连接到V_{DD}电压，建议使用V_{DD}模式（VREF1:VREF0 = 00）。

5.2.2 缓冲模式

V_{REF}引脚电压可在0.01V至V_{DD} - 0.04V范围内变化。输入缓冲器（放大器）兼具低失调电压、低噪声和超高输入阻抗，对输入范围和频率响应的限制非常小。

- 注 1:** 参考源上的任何变化或噪声都会直接影响DAC输出。参考电压需要尽可能干净，以便获得精确的DAC性能。
- 2:** 如果V_{REF}引脚连接到V_{DD}电压，建议使用V_{DD}模式（VREF1:VREF0 = 00）。

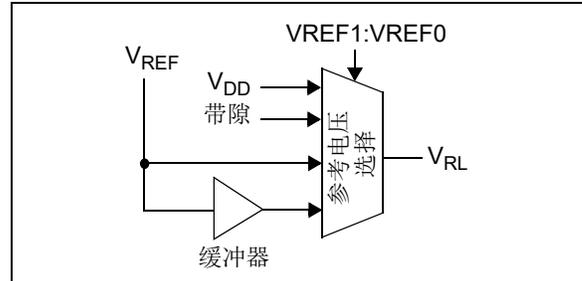


图5-3: 梯形电阻网络参考电压选择框图

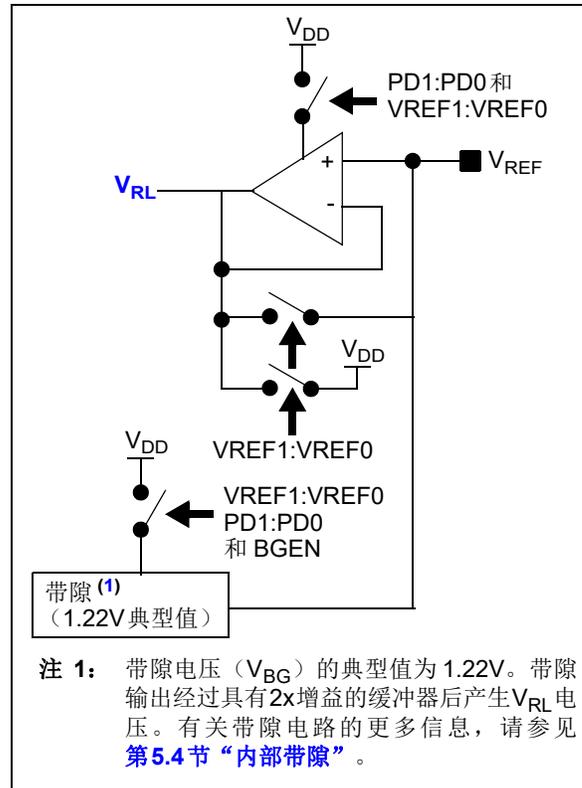


图5-4: 参考电压选择实现框图

5.2.3 带隙模式

如果选择内部带隙，则不得驱动外部V_{REF}引脚，只能使用高阻抗负载。为确保达到最佳工作状态，建议使用去耦电容。

带隙输出会经过缓冲，但内部开关会限制该输出对V_{REF}引脚提供的电流。当存在多个DAC输出时，使用梯形电阻网络缓冲器来驱动带隙电压。这样可确保在选择带隙时，始终正确地梯形电阻网络提供输出。

MCP48FEBXX

5.3 输出缓冲器/V_{OUT}操作

输出驱动器缓冲梯形电阻网络的抽头电压 (V_W)。

DAC 输出采用低功耗的高精度输出放大器 (运放) 进行缓冲。该放大器提供兼具低失调电压和低噪声的轨对轨输出。放大器的输出可无振荡地驱动阻性负载和高容性负载。放大器提供的最大负载电流足以达到大多数可编程参考电压应用的需求。有关输出放大器的规范, 请参见第 1.0 章“电气特性”。

注: 负载电阻必须保持高于 5 k Ω 才能获得预期的稳定模拟输出 (满足电气规范)。

图 5-5 所示为输出驱动器电路的框图。

用户可以选择输出放大器的输出增益。增益选项如下:

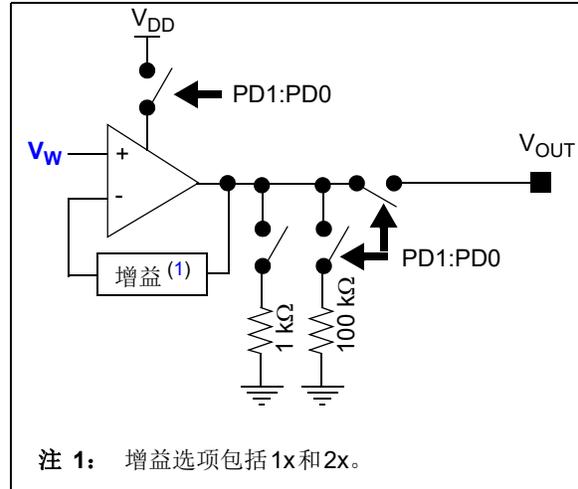
- 增益为 1, V_{DD} 或 V_{REF} 引脚用作参考电压。
- 增益为 2。

掉电逻辑还控制输出缓冲器的操作 (有关掉电的更多信息, 请参见第 5.6 节“掉电操作”)。在三种掉电模式的任何一种模式下, 运放均会掉电, 其输出将成为 V_{OUT} 引脚的高阻抗输入。

表 5-1 给出了增益位的工作原理。

表 5-1: 输出驱动器增益

增益位	增益	备注
0	1	
1	2	限制 V_{REF} 引脚电压 (相对于器件 V_{DD} 电压)。



注 1: 增益选项包括 1x 和 2x。

图 5-5: 输出驱动器框图

5.3.1 可编程增益

放大器的增益由增益 (G) 配置位 (见寄存器 4-5) 和 V_{RL} 参考选择控制。

易失性 G 位值可以通过以下方式修改:

- POR 事件
- BOR 事件
- SPI 写命令

5.3.2 输出电压

易失性DAC寄存器值和器件的配置位一起控制模拟V_{OUT}电压。易失性DAC寄存器的值是无符号二进制值。公式5-2给出了输出电压的公式。表5-3给出了MCP48FEBXX器件的易失性DAC寄存器值和相应的理论V_{OUT}电压的示例。

公式5-2: 计算输出电压 (V_{OUT})

$$V_{OUT} = \frac{V_{RL} \times \text{DAC 寄存器值}}{\text{梯形电阻网络中的电阻数}} \times \text{增益}$$

其中:

梯形电阻网络中的电阻数 = 4096 (MCP48FEB2X)
 1024 (MCP48FEB1X)
 256 (MCP48FEB0X)

注: 当增益 = 2 (V_{RL} = V_{REF}) 时, 如果 V_{REF} > V_{DD}/2, 则V_{OUT}电压将限制为V_{DD}。因此, 如果V_{REF} = V_{DD}, 则无论对于中等量程还是更大的易失性DAC寄存器值, V_{OUT}电压都不会改变, 这是因为运放为满量程输出。

以下事件会更新DAC寄存器值, 从而更新模拟电压输出 (V_{OUT}):

- 上电复位
- 欠压复位
- 写命令

V_{OUT}电压将在事件发生后开始驱动到新值。

5.3.3 阶跃电压 (V_S)

阶跃电压取决于器件分辨率和计算得到的输出电压范围。通常将一个LSb定义为两个连续编码之间的理想电压差。阶跃电压可使用公式5-3 (DAC寄存器值等于1) 轻松计算。表5-2给出了几种V_{REF}电压对应的理论阶跃电压。

公式5-3: V_S计算

$$V_S = \frac{V_{RL}}{\text{梯形电阻网络中的电阻数}} \times \text{增益}$$

其中:

梯形电阻网络中的电阻数 = 4096 (12位)
 1024 (10位)
 256 (8位)

表5-2: 理论阶跃电压 (V_S) (1)

	V _{REF}					
	5.0	2.7	1.8	1.5	1.0	
V _S	1.22 mV	659 μV	439 μV	366 μV	244 μV	12位
	4.88 mV	2.64 mV	1.76 mV	1.46 mV	977 μV	10位
	19.5 mV	10.5 mV	7.03 mV	5.86 mV	3.91 mV	8位

注 1: 增益 = 1x、V_{FS} = V_{RL}且V_{ZS} = 0V时。

MCP48FEBXX

5.3.4 输出压摆率

图5-6所示为 V_{OUT} 引脚的压摆率示例。压摆率可能受连接到 V_{OUT} 引脚的电路的特性影响。

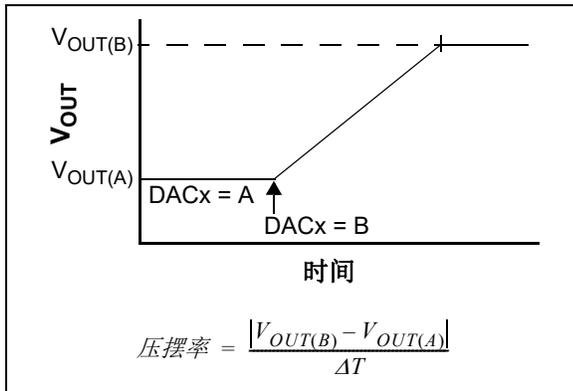


图5-6: V_{OUT} 引脚的压摆率

5.3.4.1 小容性负载

对于小容性负载，输出缓冲器的电流不会受容性负载 (C_L) 影响。但尽管如此， V_{OUT} 引脚的电压不是从一个输出值 (DAC 寄存器值) 跳变为下一个输出值。 V_{OUT} 电压的变化会受输出缓冲器的特性限制，因此 V_{OUT} 引脚电压从旧电压变为新电压将引入一个斜率。该斜率对于输出缓冲器是固定的，称为缓冲器压摆率 (SR_{BUF})。

5.3.4.2 大容性负载

对于较大的容性负载，压摆率由两个因素决定：

- 输出缓冲器的短路电流 (I_{SC})
- V_{OUT} 引脚的外部负载

I_{OUT} 不能超过输出缓冲器的短路电流 (I_{SC})，这将决定输出缓冲器的压摆率 (SR_{BUF})。容性负载 (C_L) 上的电压 V_{CL} 的变化速率与 I_{OUT} 成比例关系，这将决定容性负载的压摆率 (SR_{CL})。

V_{CL} 电压压摆率限制为输出缓冲器内部设定压摆率 (SR_{BUF}) 和容性负载压摆率 (SR_{CL}) 中的较慢者。

5.3.5 驱动阻性和容性负载

V_{OUT} 引脚能够驱动最高 100 pF 的容性负载和与之并联的 5 kΩ 阻性负载 (以满足电气规范)。有关 V_{OUT} 阻性负载特性图的信息，请参见该器件的典型性能曲线 (DS20005440)。

V_{OUT} 随着负载电阻降低 (约 3.5 kΩ 后) 而缓慢下降。建议使用 R_L 大于 5 kΩ 的负载。

驱动大容性负载会使电压反馈运放出现稳定性问题。当容性负载增大时，反馈回路的相位裕量会减小，而且闭环带宽也会减小。这会使频率响应产生增益尖峰，并使阶跃响应产生过冲和振铃。也就是说，由于 V_{OUT} 引脚的电压不随缓冲器的输入电压而快速变化 (受大容性负载影响)，输出缓冲器将超出所需目标电压。一旦驱动器检测到该过冲情况，便会通过强制降至目标电压以下来进行补偿。这会导致 V_{OUT} 引脚上产生电压振铃。

当使用输出缓冲器驱动大容性负载时，输出端的小串联电阻 (R_{ISO}) (见图 5-7) 可通过使输出负载在高频时呈现阻性来提高输出缓冲器的稳定性 (反馈环的相位裕度)。然而，其带宽通常会低于无容性负载时的带宽。

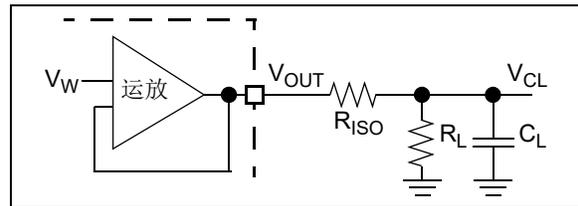


图5-7: 用于针对大容性负载 (C_L) 稳定输出缓冲器的电路

需要为电路选择 R_{ISO} 电阻值。请在实验室中验证对于该 R_{ISO} 电阻值产生的频率响应峰值，以及阶跃响应过冲。修改 R_{ISO} 的电阻值，直至输出特性满足要求。

一种评估系统性能的方法是在 V_{REF} 引脚上注入阶跃电压，然后观察 V_{OUT} 引脚的特性。

注： 关于驱动容性负载的电路设计的更多详细信息，请参见 AN884 《使用运放驱动容性负载》 (DS00884A_CN)。

表5-3: DAC输入编码与计算得到的模拟输出 (V_{OUT}) (V_{DD} = 5.0V)

器件	易失性DAC寄存器值	V _{RL} ⁽¹⁾	LSb		增益选择 ⁽²⁾	V _{OUT} ⁽³⁾	
			公式	μV		公式	V
MCP48FEB2X (12位)	1111 1111 1111	5.0V	5.0V/4096	1,220.7	1x	$V_{RL} * (4095/4096) * 1$	4.998779
		2.5V	2.5V/4096	610.4	1x	$V_{RL} * (4095/4096) * 1$	2.499390
					2x ⁽²⁾	$V_{RL} * (4095/4096) * 2$	4.998779
	0111 1111 1111	5.0V	5.0V/4096	1,220.7	1x	$V_{RL} * (2047/4096) * 1$	2.498779
		2.5V	2.5V/4096	610.4	1x	$V_{RL} * (2047/4096) * 1$	1.249390
					2x ⁽²⁾	$V_{RL} * (2047/4096) * 2$	2.498779
	0011 1111 1111	5.0V	5.0V/4096	1,220.7	1x	$V_{RL} * (1023/4096) * 1$	1.248779
		2.5V	2.5V/4096	610.4	1x	$V_{RL} * (1023/4096) * 1$	0.624390
					2x ⁽²⁾	$V_{RL} * (1023/4096) * 2$	1.248779
	0000 0000 0000	5.0V	5.0V/4096	1,220.7	1x	$V_{RL} * (0/4096) * 1$	0
		2.5V	2.5V/4096	610.4	1x	$V_{RL} * (0/4096) * 1$	0
					2x ⁽²⁾	$V_{RL} * (0/4096) * 2$	0
MCP48FEB1X (10位)	11 1111 1111	5.0V	5.0V/1024	4,882.8	1x	$V_{RL} * (1023/1024) * 1$	4.995117
		2.5V	2.5V/1024	2,441.4	1x	$V_{RL} * (1023/1024) * 1$	2.497559
					2x ⁽²⁾	$V_{RL} * (1023/1024) * 2$	4.995117
	01 1111 1111	5.0V	5.0V/1024	4,882.8	1x	$V_{RL} * (511/1024) * 1$	2.495117
		2.5V	2.5V/1024	2,441.4	1x	$V_{RL} * (511/1024) * 1$	1.247559
					2x ⁽²⁾	$V_{RL} * (511/1024) * 2$	2.495117
	00 1111 1111	5.0V	5.0V/1024	4,882.8	1x	$V_{RL} * (255/1024) * 1$	1.245117
		2.5V	2.5V/1024	2,441.4	1x	$V_{RL} * (255/1024) * 1$	0.622559
					2x ⁽²⁾	$V_{RL} * (255/1024) * 2$	1.245117
	00 0000 0000	5.0V	5.0V/1024	4,882.8	1x	$V_{RL} * (0/1024) * 1$	0
		2.5V	2.5V/1024	2,441.4	1x	$V_{RL} * (0/1024) * 1$	0
					2x ⁽²⁾	$V_{RL} * (0/1024) * 1$	0
MCP48FEB0X (8位)	1111 1111	5.0V	5.0V/256	19,531.3	1x	$V_{RL} * (255/256) * 1$	4.980469
		2.5V	2.5V/256	9,765.6	1x	$V_{RL} * (255/256) * 1$	2.490234
					2x ⁽²⁾	$V_{RL} * (255/256) * 2$	4.980469
	0111 1111	5.0V	5.0V/256	19,531.3	1x	$V_{RL} * (127/256) * 1$	2.480469
		2.5V	2.5V/256	9,765.6	1x	$V_{RL} * (127/256) * 1$	1.240234
					2x ⁽²⁾	$V_{RL} * (127/256) * 2$	2.480469
	0011 1111	5.0V	5.0V/256	19,531.3	1x	$V_{RL} * (63/256) * 1$	1.230469
		2.5V	2.5V/256	9,765.6	1x	$V_{RL} * (63/256) * 1$	0.615234
					2x ⁽²⁾	$V_{RL} * (63/256) * 2$	1.230469
	0000 0000	5.0V	5.0V/256	19,531.3	1x	$V_{RL} * (0/256) * 1$	0
		2.5V	2.5V/256	9,765.6	1x	$V_{RL} * (0/256) * 1$	0
					2x ⁽²⁾	$V_{RL} * (0/256) * 2$	0

注 1: V_{RL}是梯形电阻网络的参考电压。与VREF1:VREF0选择无关。

2: 选择2x增益(G_x = 1)时, 要求参考电压源来自V_{REF}引脚(VREF1:VREF0 = 10或11)并且V_{REF}引脚电压(或V_{RL}) ≤ V_{DD}/2或来自内部带隙(VREF1:VREF0 = 01)。

3: 这些理论计算结果没有考虑失调、增益和非线性误差。

MCP48FEBXX

5.4 内部带隙

内部带隙旨在驱动梯形电阻网络缓冲器。

梯形电阻网络的电阻 (R_{RL}) 的目标值为 140 k Ω (± 40 k Ω)，这意味着最小电阻为 100 k Ω 。

可以在这个 V_{DD} 电压范围内使用带隙，同时最大程度地扩大 V_{OUT} 电压范围。如果 V_{DD} 电压低于 $2 * \text{增益} * V_{BG}$ 电压，则高位编码的输出将削波至 V_{DD} 电压。表 5-4 列出了给定器件 V_{DD} 和增益位设置时的最大 DAC 寄存器编码。

表 5-4: V_{OUT} (使用带隙)

V_{DD}	增益 DAC 增益	最大 DAC 编码 ⁽¹⁾			备注
		12 位	10 位	8 位	
5.5	1	FFFh	3FFh	FFh	$V_{OUT(max)} = 2.44V$ ⁽²⁾
	2	FFFh	3FFh	FFh	$V_{OUT(max)} = 4.88V$ ⁽²⁾
2.7	1	FFFh	3FFh	FFh	$V_{OUT(max)} = 2.44V$ ⁽²⁾
	2	8DAh	236h	8Dh	约 0 至 55% 范围
2.0 ⁽³⁾	1	D1Dh	347h	D1h	约 0 至 82% 范围
	2 ⁽⁴⁾	68Eh	1A3h	68h	约 0 至 41% 范围

- 注 1: 不对 V_{OUT} 引脚电压进行削波。
注 2: 当 $V_{BG} = 1.22V$ (典型值) 时。
注 3: 带隙性能从 V_{DD} 等于 2.0V 开始达到最高性能。
注 4: 建议改用增益 = 1 的设置。

5.5 锁存器引脚 ($\overline{\text{LAT}}$)

锁存器引脚控制何时将易失性DAC寄存器值传送到DAC抽头。这对于需要将抽头更新与外部事件同步的应用非常有用，例如过零或更新器件上的其他抽头。 $\overline{\text{LAT}}$ 引脚与串行接口操作异步。

当 $\overline{\text{LAT}}$ 引脚为高电平时，将禁止从易失性DAC寄存器向DAC抽头进行传输。易失性DAC寄存器值可继续更新。

当 $\overline{\text{LAT}}$ 引脚为低电平时，易失性DAC寄存器值传输到DAC抽头。

注： 这允许在 $\overline{\text{LAT}}$ 引脚为高电平时更新易失性DAC0和DAC1抽头寄存器，以及在 $\overline{\text{LAT}}$ 引脚驱动为低电平时同步更新输出。

图5-8给出了 $\overline{\text{LAT}}$ 引脚与DAC抽头x装入操作（装入易失性DAC寄存器x的值）的交互。传输由电平驱动。如果 $\overline{\text{LAT}}$ 引脚保持低电平，相应的DAC抽头在易失性DAC寄存器值更新后立即更新。

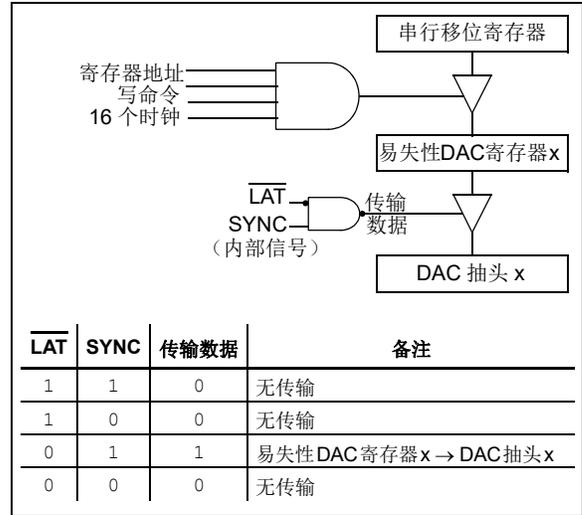


图5-8: $\overline{\text{LAT}}$ 和DAC交互

$\overline{\text{LAT}}$ 引脚允许DAC抽头与外部事件同步更新以及在发生公共事件时更新多个DAC通道/器件。

由于DAC抽头x根据易失性DAC寄存器x进行更新，因此与给定 $\overline{\text{LAT}}$ 引脚相关联的所有DAC均可同步更新。

如果应用不需要同步更新，则应将该信号连接为低电平。

图5-9给出了根据正弦波信号的值更新抽头寄存器时使用 $\overline{\text{LAT}}$ 引脚进行控制的两种情形。

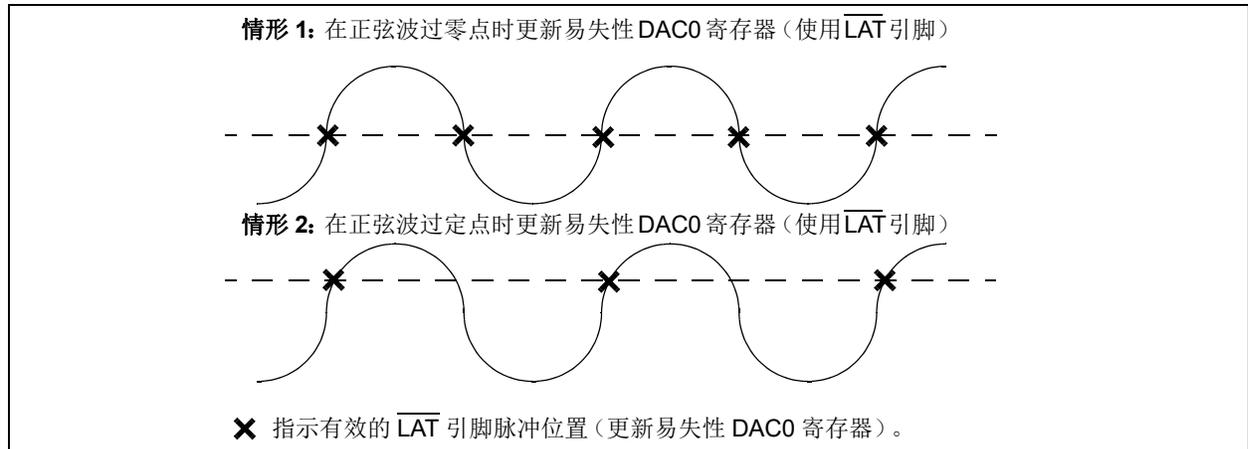


图5-9: $\overline{\text{LAT}}$ 引脚操作的示例用法

MCP48FEBXX

5.6 掉电操作

为了让应用在不需要DAC工作时可以节省功耗，器件提供了三种掉电模式。掉电配置位（PD1:PD0）控制掉电操作（图5-10和表5-5）。对于具有多个DAC的器件，可单独控制每个DAC的掉电模式。所有掉电模式都会执行以下操作：

- 关闭大多数DAC模块的内部电路（输出运放和梯形电阻网络等）。
- 运放输出成为 V_{OUT} 引脚的高阻抗输入
- 将梯形电阻网络与参考电压（ V_{RL} ）断开连接
- 保留易失性DAC寄存器和配置位以及非易失性（EEPROM）DAC寄存器和配置位的值

根据选择的掉电模式，将发生以下事件：

- V_{OUT} 引脚切换为使用两个下拉电阻之一（见表5-5）：
 - 100 k Ω （典型值）
 - 1 k Ω （典型值）
- 运放掉电且 V_{OUT} 引脚呈高阻态。

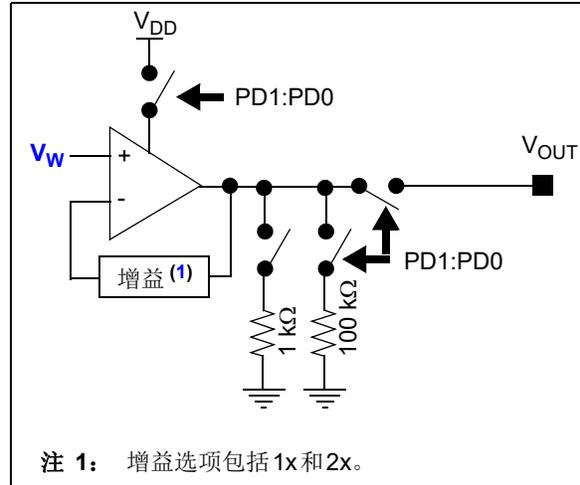
在PD1:PD0位从00变为01、10或11且运放不再驱动 V_{OUT} 输出，到下拉电阻注入电流的过程中存在一段延时（ T_{PDE} ）。

在任意一种掉电模式下，当 V_{OUT} 引脚不与外部连接（灌电流或源电流）时，单通道DAC器件的掉电电流典型值将约为650 nA。随着DAC的数量增加，器件的掉电电流也将增加。

可通过对易失性掉电寄存器使用写命令或者通过POR事件来修改掉电位，以便将非易失性掉电寄存器的值传输到易失性掉电寄存器。

第7.0章“SPI命令”说明了SPI命令。写命令可用于更新易失性PD1:PD0位。

注： SPI 串行接口电路不受掉电模式的影响。该电路保持工作状态，以便接收主机控制器器件可能发出的任何命令。



注 1： 增益选项包括1x和2x。

图5-10: V_{OUT} 掉电框图

表5-5: 掉电位和输出阻性负载

PD1	PD0	功能
0	0	正常工作
0	1	1 k Ω 电阻接地
1	0	100 k Ω 电阻接地
1	1	开路

表5-6显示了DAC的电流源，它取决于器件是处于正常工作模式还是其中一种掉电模式，以及所选的DAC参考电压源。

表5-6: DAC电流源

器件 V_{DD} 电流源	PD1:0 = 00, VREF1:0 =				PD1:0 \neq 00, VREF1:0 =			
	00	01	10	11	00	01	10	11
输出运放	有	有	有	有	无	无	无	无
梯形电阻网络	有	有	无 ⁽¹⁾	有	无	无	无 ⁽¹⁾	无
RL运放	无	有	无	有	无	无	无	无
带隙	无	有	无	无	无	有	无	无

注 1： 电流源自 V_{REF} 引脚，而非器件 V_{DD} 。

5.6.1 退出掉电模式

当器件退出掉电模式时，将发生以下事件：

- 已禁止的电路（运放和梯形电阻网络等）再次开启
- 梯形电阻网络连接到选定的参考电压（ V_{RL} ）
- 选定的下拉电阻断开连接
- V_{OUT} 输出将被驱动为由易失性 DAC 寄存器的值和配置位表示的电压

由于这些电路需要上电，并且输出电压需驱动为指定的值（由易失性 DAC 寄存器和配置位确定），因此 V_{OUT} 输出信号需经过一定的时间之后才会生成。

注： 由于运放和梯形电阻网络掉电（0V），运放的输入电压（ V_W ）可视为0V。从PD1:PD0位更新为00到运放驱动 V_{OUT} 输出的过程中存在一定的延时（ T_{PDD} ）。为了确保 V_{OUT} 电压正确反映所选值，需考虑运放的稳定时间（从0V开始）。

强制将PD1:PD0位设为00的写命令会导致器件退出掉电模式。

5.7 DAC 寄存器、配置位和状态位

MCP48FEBXX 器件具有易失性存储器和非易失性（EEPROM）存储器。表4-2列出了易失性和非易失性存储器及其在发生POR事件后的值。

易失性和非易失性存储器中均有五个配置位以及DAC寄存器，此外还有两个易失性状态位。DAC寄存器（易失性和非易失性）的宽度将为12位（MCP48FEB2X）、10位（MCP48FEB1X）或8位（MCP48FEB0X）。

当器件首次上电时，会自动将EEPROM存储器值上传到易失性存储器。易失性存储器决定模拟输出（ V_{OUT} ）引脚电压。器件上电后，用户可以更新器件存储器。

该寄存器通过SPI接口进行读写。有关读写器件存储器的更多详细信息，请参见第6.0章“SPI串行接口模块”和第7.0章“SPI命令”。

写入非易失性存储器时，器件在 \overline{CS} 引脚的上升沿开始写入EEPROM单元。

寄存器4-4给出了器件状态位的操作，表4-1和表4-3列出了器件配置位的操作，表4-2列出了发生POR/BOR事件时器件配置位的出厂默认值。

状态位共有两个，仅位于易失性存储器中，用于指示器件的状态。POR位用于指示器件 V_{DD} 是高于还是低于POR跳变点。在正常工作期间，该位应为1。EEWA位用于指示是否正在发生EEPROM写周期。当EEWA位为低电平时（在EEPROM写操作期间），将忽略除读命令外的所有命令。

MCP48FEBXX

注:

6.0 SPI串行接口模块

MCP48FEBXX的SPI串行接口模块支持SPI串行协议规范。图6-1给出了典型SPI接口连接。

有关MCP48FEBXX的命令格式和波形的定义，请参见第7.0章“SPI命令”。

6.1 概述

本节将讨论MCP48FEBXX的串行接口模块的一些具体特性。

后续章节将分别介绍以下器件特定的特性：

- SPI串行接口
- 通信数据速率
- POR/BOR
- 接口引脚（CS、SCK、SDI、SDO和LAT/HVC）

6.2 SPI串行接口

MCP48FEBXX器件支持SPI串行协议。此SPI以从模式工作（不生成串行时钟）。

SPI接口最多使用四个引脚，其中包括：

- \overline{CS} ——片选
- SCK——串行时钟
- SDI——串行数据输入
- SDO——串行数据输出

为了支持高电压命令，提供了一个额外的HVC引脚。器件可通过发出高电压命令来使能和禁止非易失性配置位。如果不存在高电压，则禁止修改这些位。

典型SPI接口如图6-1所示。在SPI接口中，主器件的输出引脚连接至从器件的输入引脚，主器件的输入引脚连接至从器件的输出引脚。

MCP48FEBXX SPI模块支持四种标准SPI模式中的两种。这两种模式为模式0,0和模式1,1。当 \overline{CS} 引脚从无效（ V_{IH} ）转换为有效（ V_{IL} ）时，SPI模式由SCK引脚的状态（ V_{IH} 或 V_{IL} ）决定。

HVC引脚耐高电压。要输入高电压命令，HVC引脚必须大于 V_{IHH} 电压。

6.3 通信数据速率

MCP48FEBXX支持的时钟速率（比特率）为：写命令时最高20 MHz，读命令时最高10 MHz。

对于大多数应用，写入时间更为重要，因为它代表器件操作的控制方式。

6.4 POR/BOR

发生POR/BOR事件时，SPI串行接口模块状态机复位，其中包括强制将器件的存储器地址指针设为00h。

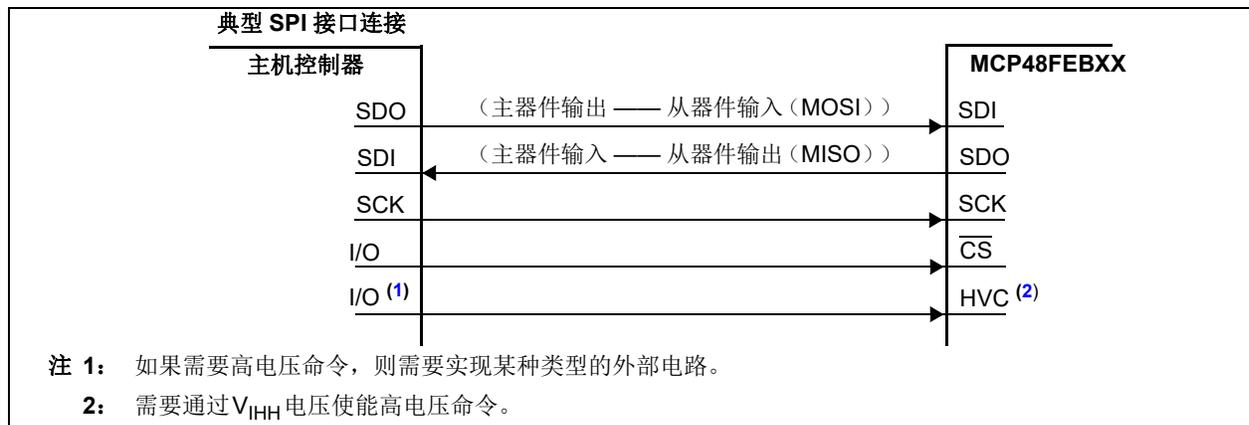


图6-1： 典型SPI接口框图

MCP48FEBXX

6.5 接口引脚 ($\overline{\text{CS}}$ 、SCK、SDI、SDO 和 LAT/HVC)

本节讨论五个接口引脚和高电压命令 (HVC) 引脚的工作原理。这些引脚包括:

- SDI (串行数据输入)
- SDO (串行数据输出)
- SCK (串行时钟)
- $\overline{\text{CS}}$ (片选)
- LAT/HVC (高电压命令)

串行接口基于8位或24位边界工作, 具体取决于所选的命令。片选 ($\overline{\text{CS}}$) 引脚用于构建 SPI 命令。

6.5.1 串行数据输入 (SDI)

串行数据输入 (SDI) 信号是输入器件的数据信号。该引脚上的值在 SCK 信号的上升沿进行锁存。

6.5.1.1 串行数据输出 (SDO)

串行数据输出 (SDO) 信号是器件的数据信号输出。该引脚上的值在 SCK 信号的下降沿进行驱动。

$\overline{\text{CS}}$ 引脚强制设为有效电平 (V_{IL} 或 V_{IHH}) 后, 将立即驱动 SDO 引脚。SDO 引脚的状态由串行位在命令中的位置、所选命令以及是否存在命令错误状态 (CMDERR) 决定。

6.5.1.2 串行时钟 (SCK) (SPI 工作频率)

SPI 接口的工作频率规定为最高 20 MHz。实际时钟速率取决于系统配置和使用的串行命令。表 6-1 给出了不同配置的 SCK 频率。

表 6-1: SCK 频率

存储器类型访问		命令	
		读取	写入、使能和禁止
非易失性存储器	SDI 和 SDO	10 MHz	20 MHz ^(1,2)
易失性存储器	SDI 和 SDO	10 MHz	20 MHz ⁽²⁾

注 1: 发出写命令后, 必须先完成内部写周期, 之后才能接收下一条 SPI 命令。

2: 这是设计目标。SDO 引脚性能被视为限制因素。

6.5.1.3 $\overline{\text{CS}}$ 信号

片选 ($\overline{\text{CS}}$) 信号用于选择器件并构建命令序列。要启动命令或命令序列, $\overline{\text{CS}}$ 信号必须从无效状态 (V_{IH}) 转换为有效状态 (V_{IL} 或 V_{IHH})。

$\overline{\text{CS}}$ 信号变为有效后, 将驱动 SDO 引脚并复位时钟位计数器。

注: $\overline{\text{CS}}$ 引脚变为有效后到 SCK 引脚的第 1 个边沿之间需要有一段延时。

如果 SPI 命令出现错误状态, 则命令字节的命令错误 (CMDERR) 位 (在 SDO 引脚上) 将被驱动为低电平 (V_{IL})。要退出错误条件, 用户必须将 $\overline{\text{CS}}$ 引脚的电压设为 V_{IH} 。

当 $\overline{\text{CS}}$ 引脚返回无效状态 (V_{IH}) 时, SPI 模块将复位 (包括地址指针)。当 $\overline{\text{CS}}$ 引脚处于无效状态 (V_{IH}) 时, 串行接口将被忽略。这样一来, 主机控制器可以使用相同的 SDI、SDO 和 SCK 信号连接到其他 SPI 器件。

6.5.1.4 HVC 信号

HVC 引脚耐高电压, 允许使用高电压命令。借助高电压命令, 可以使能和禁止器件的 WiperLock 技术和写保护功能。

6.5.2 SPI 模式

SPI 模块支持四种标准 SPI 模式中的两种。这两种模式为模式 0,0 和模式 1,1。具体使用哪种模式取决于 SDI 引脚在 (8 位字节的) 第 1 个时钟位的上升沿的状态。

6.5.2.1 模式 0,0

在模式 0,0 下:

- SCK 空闲状态 = 低电平 (V_{IL})
- 数据在 SCK 的上升沿随时钟移入 SDI 引脚。
- 数据在 SCK 的下降沿随时钟移出 SDO 引脚。

6.5.2.2 模式 1,1

在模式 1,1 下:

- SCK 空闲状态 = 高电平 (V_{IH})
- 数据在 SCK 的上升沿随时钟移入 SDI 引脚。
- 数据在 SCK 的下降沿随时钟移出 SDO 引脚。

7.0 SPI命令

本章记录了器件支持的命令。

MCP48FEBXX的SPI命令格式支持32个存储器地址单元和四条命令。这些命令支持两种模式，其中包括：

- 正常串行命令
- 高电压串行命令

四条命令包括：

- 写命令（C1:C0 = 00）
- 读命令（C1:C0 = 11）
- 用于修改器件配置位的命令：（HVC = V_{IH} ）
 - 使能配置位（C1:C0 = 10）
 - 禁止配置位（C1:C0 = 01）

表7-1列出了支持的命令。通过这些命令，可进行单次数据操作或连续数据操作。表7-1还列出了每条命令的不同操作模式所需的位时钟数。

正常串行命令是将HVC引脚驱动为 V_{IH} 或 V_{IL} 的命令。使用高电压串行命令时，HVC引脚被驱动为 V_{IH} 。

修改器件配置位（**使能配置位**和**禁止配置位**）时使用8位命令（见图7-1）；读写器件寄存器（**读命令**和**写命令**）时使用24位命令（见图7-2）。这些命令包含一个命令字节和两个数据字节。

表7-2概述了所有SPI命令及其与其他器件功能的交互。

表7-1: SPI命令——时钟数

操作	命令			模式 ⁽¹⁾	位时钟数 ⁽²⁾	数据更新速率 (8位/10位/12位) (数据字/秒)			备注
	编码		HV			1 MHz时	10 MHz时	20 MHz时 ⁽³⁾	
	C1	C0							
写命令	0	0	否 ⁽³⁾	单次	24	41,666	416,666	833,333	
	0	0	否 ⁽³⁾	连续	24 * n	41,666	416,666	833,333	10个数据字
读命令 ⁽⁴⁾	1	1	否 ⁽³⁾	单次	24	41,666	416,666	833,333	
	1	1	否 ⁽³⁾	连续	24 * n	41,666	416,666	833,333	10个数据字
使能配置位命令	1	0	是	单次	8	125,000	1,250,000	2,500,000	
	1	0	是	连续	8 * n	125,000	1,250,000	2,500,000	10个数据字
禁止配置位命令	0	1	是	单次	8	125,000	1,250,000	2,500,000	
	0	1	是	连续	8 * n	125,000	1,250,000	2,500,000	10个数据字

注 1: 非易失性寄存器只能使用“单次”模式。

2: “n”表示命令操作的重复次数。

3: 如果HVC引脚处于 V_{IH} 状态，则将忽略该命令，但不会生成命令错误条件（CMDERR）。

4: 该命令有助于确定何时完成EEPROM编程周期。

MCP48FEBXX

7.0.1 命令字节

命令字节有三个位域：地址、命令和一个数据位（见图7-1）。目前仅定义了一个数据位（D8）。该位用于写命令。

主器件可发送适当的命令字节来选择所需的操作和需要访问的器件存储器。访问的存储单元包含在命令字节的AD4:AD0位中。所需的操作包含在命令字节的C1:C0位中，请参见表7-2。C1:C0用于确定是否要读取、写入、使能还是禁止所需的存储单元。

当命令字节装入器件（在SDI引脚上）时，器件的SDO引脚将进行驱动。SDO引脚将针对该命令的前7位输出高电平位。在第8位，SDO引脚将输出CMDERR位状态（见第7.0.3节“错误条件”）。

7.0.2 数据字节

只有读命令和写命令中存在数据字节。这两种命令的命令字节后面连接两个数据字节，组成24位长的命令（见图7-1）。

表7-2: 命令位概述

C1:C0 位状态	命令	位数	正常或HV
11	读数据	24位	正常
00	写入数据	24位	正常
01	使能 ⁽¹⁾	8位	仅限HV
10	禁止 ⁽¹⁾	8位	仅限HV

注 1: 所选非易失性存储单元上的高电压使能和禁止命令。

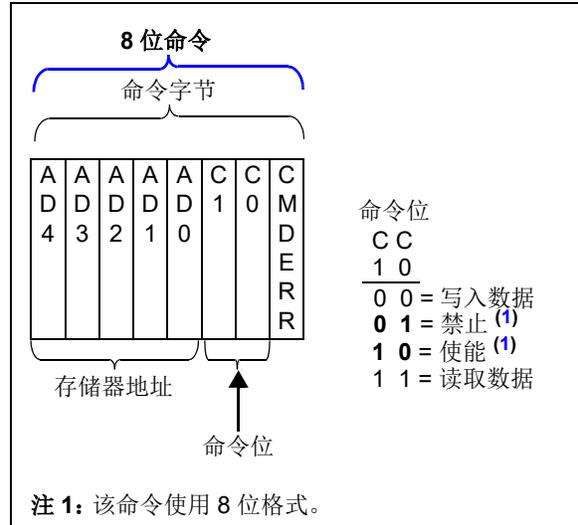


图7-1: 8位SPI命令格式

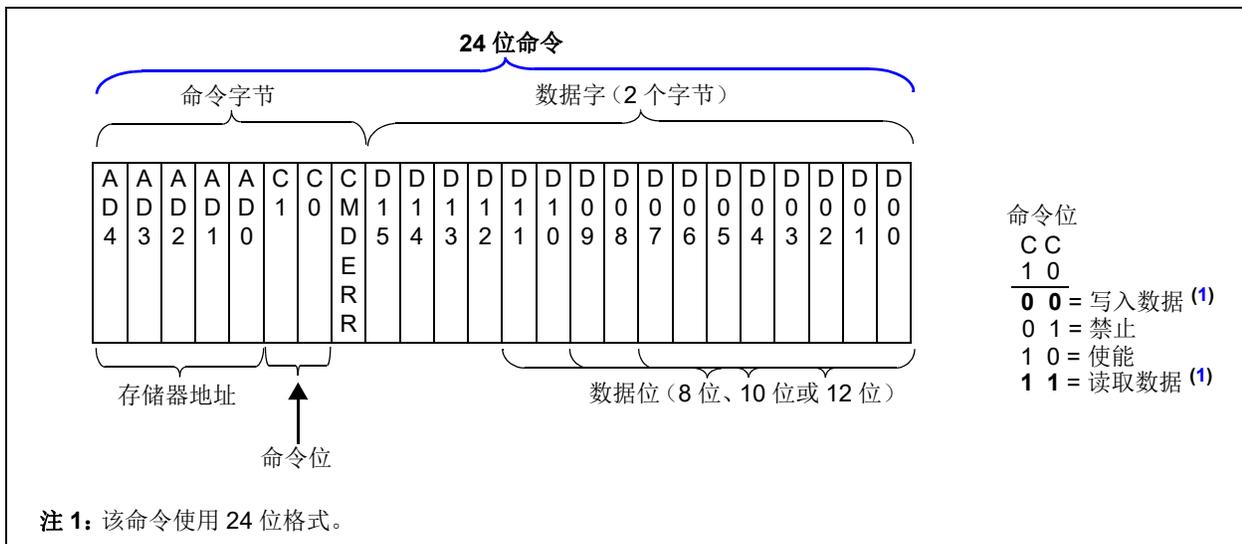


图7-2: 24位SPI命令格式

7.0.3 错误条件

命令错误 (CMDERR) 位指示接收到的五个地址位 (AD4:AD0) 和接收到的两个命令位 (C1:C0) 是否为有效组合 (见图 7-1 和 7-2)。如果组合有效, 则 CMDERR 位为高电平; 如果组合无效, 则 CMDERR 位为低电平。

如果已指定对非易失性地址执行写操作并且在 $\overline{\text{CS}}$ 引脚驱动为无效状态 (V_{IH}) 之前出现另一条 SPI 命令, 则命令错误位也将变为低电平。

时钟数不是 8 倍数的 SPI 命令将被忽略。

一旦出现错误条件, 将忽略之后的所有命令。通过将 $\overline{\text{CS}}$ 引脚强制设为无效状态 (V_{IH}) 来清除 CMDERR 条件之前, 后续所有 SDO 位都将为低电平。

7.0.3.1 中止发送

所有 SPI 发送必须具有正确数量的 SCK 脉冲才能执行。在收到全部数量的时钟之前, 不会执行该命令。一些命令还需要将 $\overline{\text{CS}}$ 引脚强制设为无效状态 (V_{IH})。当 $\overline{\text{CS}}$ 引脚强制设为无效状态 (V_{IH}) 时, 串行接口将复位。部分命令不会执行。

SPI 比其他总线协议更容易受到噪声的影响。最有可能的情况是, 噪声会损坏随时钟移入 MCP48FEBXX 的数据值, 或者 SCK 引脚被注入额外的时钟脉冲。这可能导致器件中的数据损坏或发生命令错误, 因为地址和命令位不是有效组合。额外的 SCK 脉冲还会导致 SPI 数据 (SDI) 和时钟 (SCK) 不同步。将 $\overline{\text{CS}}$ 引脚强制设为无效状态 (V_{IH}) 会复位串行接口。检测到 $\overline{\text{CS}}$ 引脚转换为有效状态 (V_{IH} 转换为 V_{IL} 或 V_{IH} 转换为 V_{IHH}) 之前, SPI 接口将忽略 SDI 和 SCK 引脚上的活动。

注 1: 当 MCP48FEBXX 未在接收数据时, 建议将 $\overline{\text{CS}}$ 引脚强制设为无效电平 (V_{IL})。

2: 此外, 还建议将较长的连续命令字符串分解为单个命令或较短的连续命令字符串。这可以降低 SCK 引脚上的噪声损坏所需 SPI 命令的概率。

7.0.4 连续命令

器件支持连续执行命令。当 $\overline{\text{CS}}$ 引脚处于有效状态 (V_{IL}) 时, 可以接收任何有效的命令序列。

以下示例是有效的事件序列:

1. $\overline{\text{CS}}$ 引脚驱动为有效状态 (V_{IL})
2. 读命令
3. 写命令 (易失性存储器)
4. 写命令 (非易失性存储器)
5. $\overline{\text{CS}}$ 引脚驱动为无效状态 (V_{IH})

注 1: 建议在 $\overline{\text{CS}}$ 引脚处于有效状态时只发出一种命令。更改命令时, 建议先将 $\overline{\text{CS}}$ 引脚设为无效状态, 然后再强制恢复为有效状态。

2: 此外, 还建议将长命令字符串分解为较短的命令字符串。这可以降低 SCK 引脚上的噪声损坏所需 SPI 命令字符串的概率。

MCP48FEBXX

7.1 写命令

写命令用于将主机控制器的数据传输到所需存储单元。写命令可以发送至易失性和非易失性存储单元。

写命令可以采用单次或连续两种格式。

命令格式如图7-3（单次）和7-4（连续）所示。

在收到格式正确的写命令后，针对易失性存储单元的写命令会更改该存储单元。

只有在收到格式正确的写命令并且 $\overline{\text{CS}}$ 引脚转换为无效状态（ V_{IH} ）后，针对非易失性存储单元的写命令才会启动EEPROM写周期。

- | |
|---|
| <p>注 1: 对特定存储单元执行的写操作将取决于WiperLock™ 技术状态位的状态。</p> <p>2: 在器件通信期间，如果器件地址 / 命令组合无效或指定了未实现的器件地址，则MCP48FEBXX将生成命令错误状态。要复位SPI状态机，$\overline{\text{CS}}$引脚必须转换为无效状态（V_{IH}）。</p> |
|---|

7.1.1 对易失性存储器执行单次写操作

写操作要求 $\overline{\text{CS}}$ 引脚处于有效状态（ V_{IL} ）。通常， $\overline{\text{CS}}$ 引脚将处于无效状态（ V_{IH} ），可被驱动为有效状态（ V_{IL} ）。24位写命令（命令字节和数据字节）随后随时钟移入SCK和SDI引脚。在接收到全部24位之后，将更新指定的易失性地址。如果写命令不是24个时钟的脉冲，则不会发生写操作。这样可以防止出现会损坏非易失性存储单元的系统问题。

图7-5和7-6所示为单次写操作的波形（取决于SPI模式）。

7.1.2 对非易失性存储器执行单次写操作

对非易失性存储单元执行单次写操作的序列与对易失性存储器执行单次写操作基本相同，只是EEPROM写周期（ t_{WC} ）在 $\overline{\text{CS}}$ 引脚驱动为无效状态（ V_{IH} ）后启动。如果写命令不是24个时钟的脉冲，则不会开始写周期。这样可以防止出现会损坏非易失性存储单元的系统问题。

一旦接收到对非易失性存储单元的写命令，则在 $\overline{\text{CS}}$ 引脚转换为无效状态（ V_{IH} ）之前，不应再接收任何其他SPI命令，否则当前SPI命令将发生命令错误（CMDERR）。

在 $\overline{\text{CS}}$ 引脚驱动为无效状态（ V_{IH} ）后，可通过将 $\overline{\text{CS}}$ 引脚驱动为有效状态（ V_{IL} ）立即重新使能串行接口。

在EEPROM写周期内，可通过适当的命令序列访问易失性存储器。在EEPROM写周期（ t_{WC} ）结束之前，将忽略用于寻址非易失性存储器的命令。此时主机控制器可以对易失性DAC寄存器进行操作。

<p>注: EEWA状态位用于指示是否正在发生EEPROM写周期（见寄存器4-4）。</p>

图7-5和7-6所示为单次写操作的波形（取决于SPI模式）。

7.1.3 对易失性存储器执行连续写操作

写入器件的易失性存储器寄存器时，可选择连续写操作模式（见表7-3）。图7-4给出了三次连续写操作的序列。写操作的目标地址无需是同一个易失性存储器地址。

表7-3: 易失性存储器地址

地址	单通道	双通道
00h	有	有
01h	无	有
08h	有	有
09h	有	有
0Ah	有	有

7.1.4 对非易失性存储器执行连续写操作

不允许对非易失性存储器执行连续写操作，尝试这样做会导致命令错误（CMDERR）条件。

7.1.5 高电压命令（HVC）信号

如果HVC引脚处于 V_{IH} 状态，则将忽略该命令，但不会生成命令错误条件（CMDERR）。

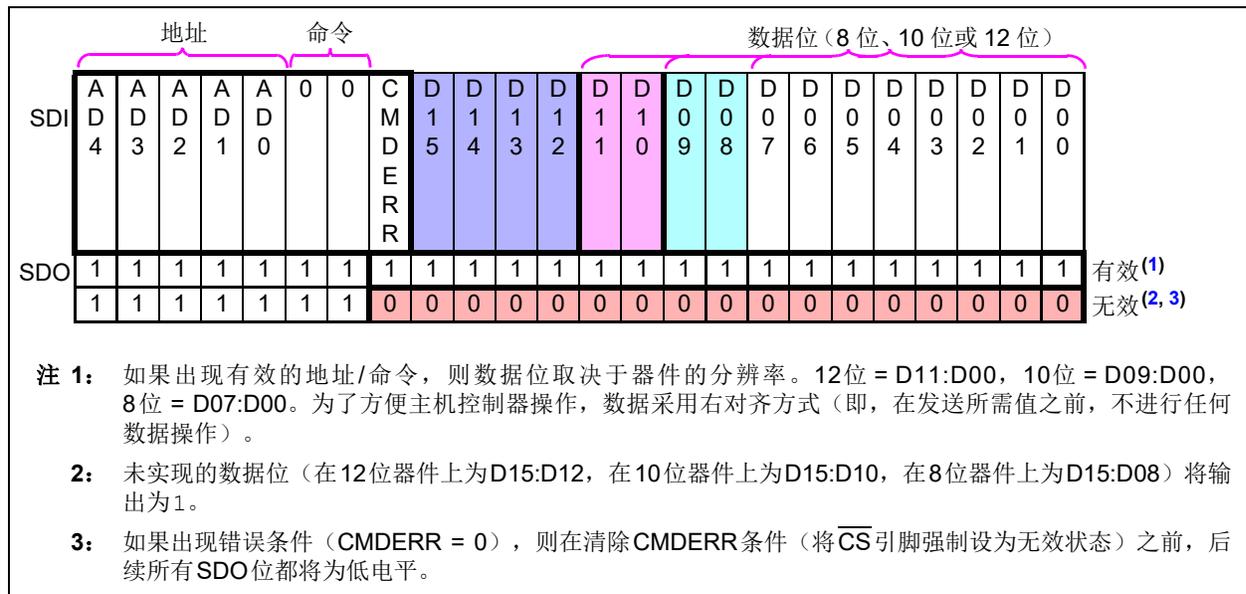


图7-3: 写命令——SDI和SDO状态

MCP48FEBXX

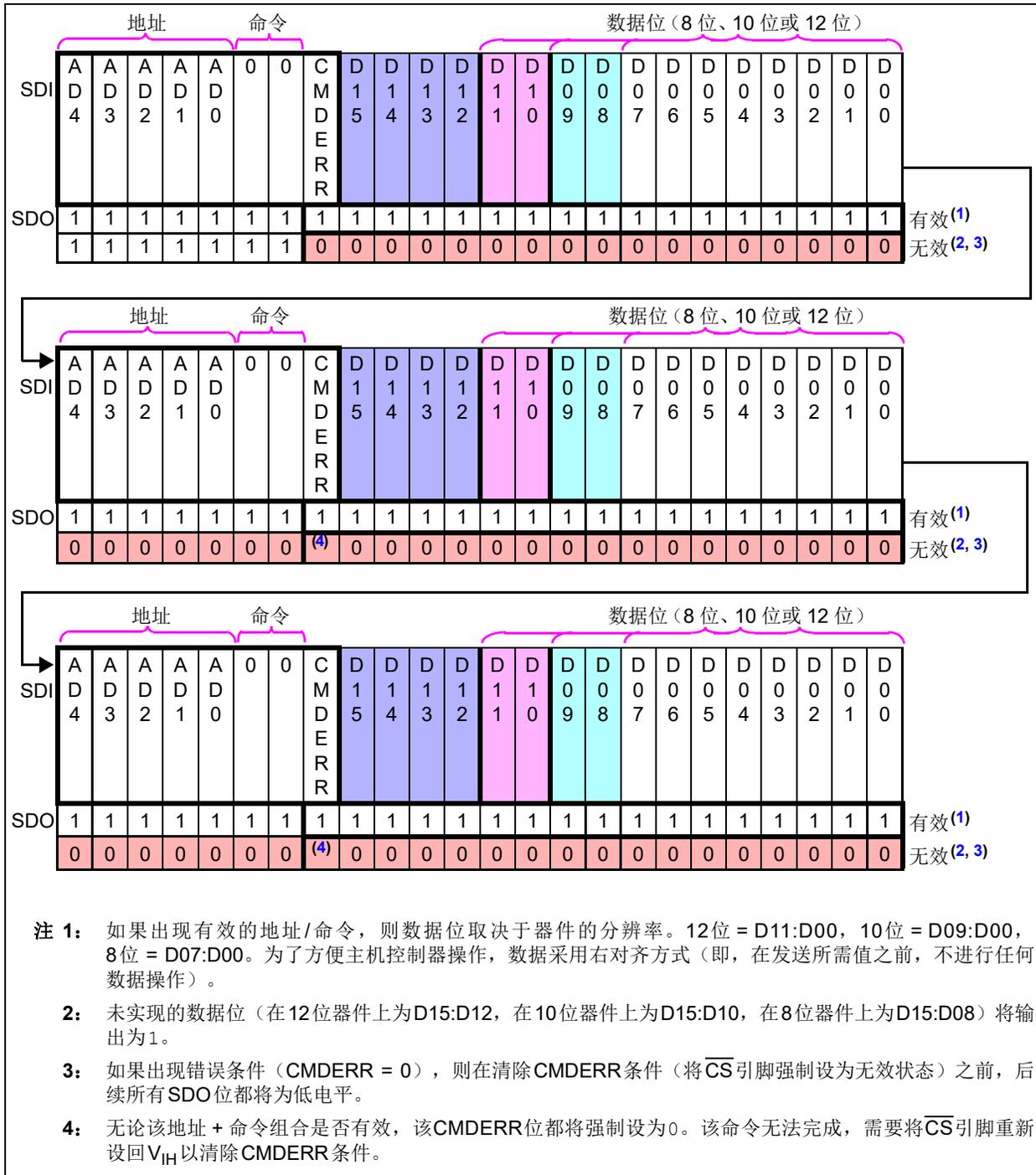


图7-4: 连续写序列（仅限易失性存储器）

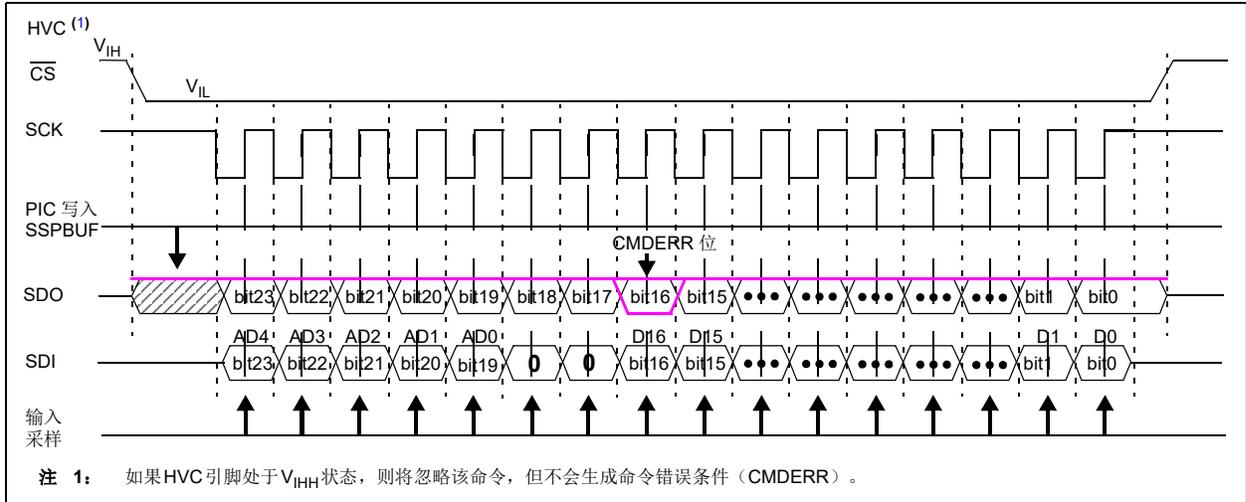


图7-5: 24位写命令 ($C1:C0 = 00$) ——SPI波形 (PIC MCU, 模式1,1)

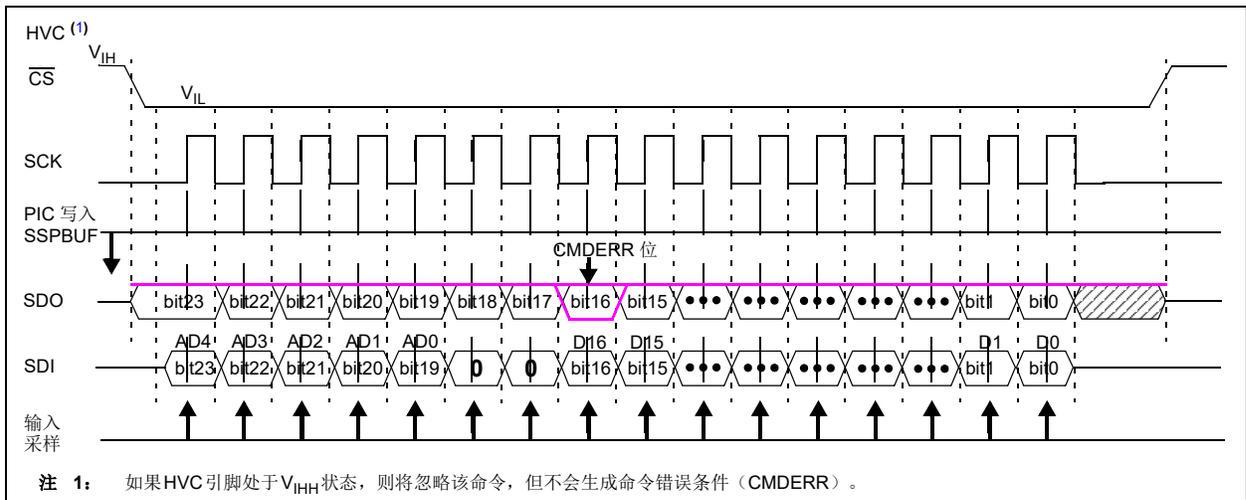


图7-6: 24位写命令 ($C1:C0 = 00$) ——SPI波形 (PIC MCU, 模式0,0)

MCP48FEBXX

7.2 读命令

读命令是一条24位命令，用于将指定存储单元的数据传输到主机控制器。读命令可以发送到易失性和非易失性存储单元。命令的格式以及SDI和SDO数据的示例如图7-7所示。

读命令的前7位用于确定地址和命令。第8个时钟将在SDO引脚上输出CMDERR位。器件将利用剩余的16个时钟发送指定地址（AD4:AD0）的数据位。

在EEPROM写周期（写入非易失性存储单元或使能/禁止配置位命令）期间，读命令只能读取易失性存储单元。通过读取状态寄存器（0Ah），主机控制器可确定写周期何时结束（通过EEWA位的状态）。

读命令格式包括：

- 单次读操作
- 连续读操作

注 1: 在器件通信期间，如果器件地址/命令组合无效或指定了未实现的地址，则MCP48FEBXX将不以命令错误响应该字节。要复位SPI状态机，必须将CS引脚驱动为V_{IH}状态。

2: 如果LAT引脚为高电平（V_{IH}），则读取易失性DAC寄存器时将读取输出值，而非内部寄存器。

3: 读命令能否如常运行与高电压命令（HVC）信号的状态无关。

7.2.1 LAT引脚交互

在DACx寄存器的读命令期间，如果LAT引脚从V_{IH}转换为V_{IL}，则读取的数据可能损坏。这是因为读取的数据为输出值，而非DAC寄存器值。LAT引脚转换会触发输出值更新。根据DAC输出值、DACx寄存器值和LAT引脚转换对应的命令位，读取的值可能会损坏。

如果LAT引脚在读取DACx寄存器期间发生转换，建议执行连续读操作，直到有两个最近读取的值发生匹配为止。这表示最近读取的数据良好。

7.2.2 单次读操作

读命令操作要求CS引脚处于有效状态（V_{IL}）。通常，CS引脚将处于无效状态（V_{IH}），可被驱动为有效状态（V_{IL}）。24位读命令（命令字节和数据字节）随后随时钟移入SCK和SDI引脚。SDO引脚在第8个时钟（CMDERR位）开始驱动数据，寻址的数据在第9个时钟至第24个时钟期间输出。

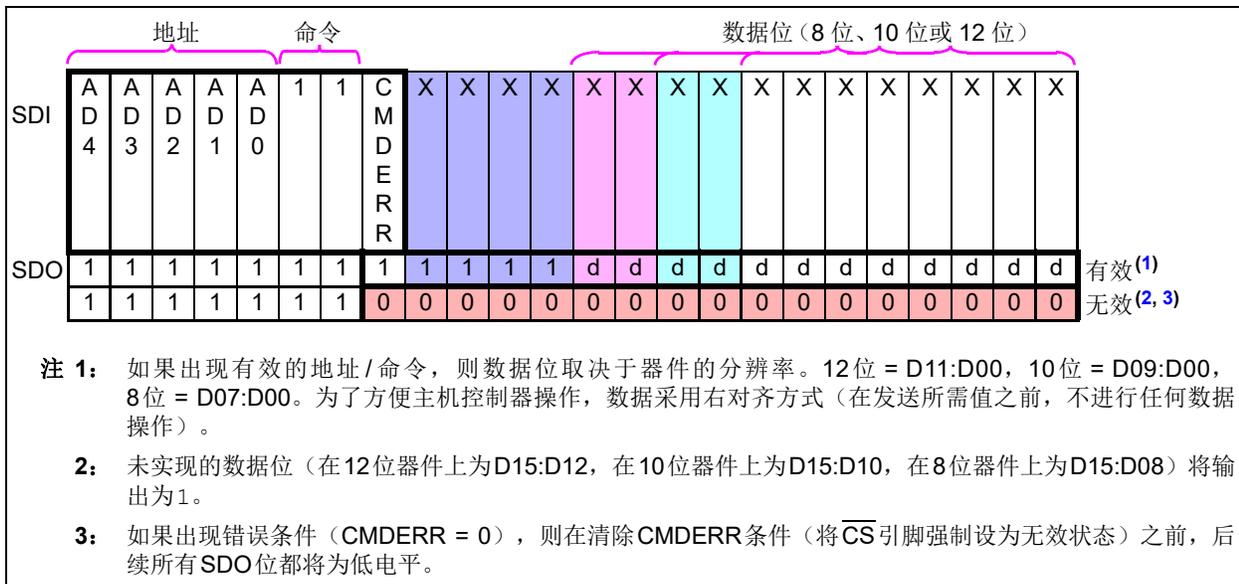


图7-7: 读命令——SDI和SDO状态

7.2.3 连续读操作

连续读格式允许快速读取器件的存储器。可以对所有存储单元执行连续读操作。如果发生非易失性存储器写周期，则读命令只能访问易失性存储单元。

图7-8给出了三次连续读操作的序列。读操作的目标地址无需是同一个存储器地址。

这对于读取系统状态寄存器（0Ah）以确定EEPROM写周期是否完成（EEWA位）非常有用。

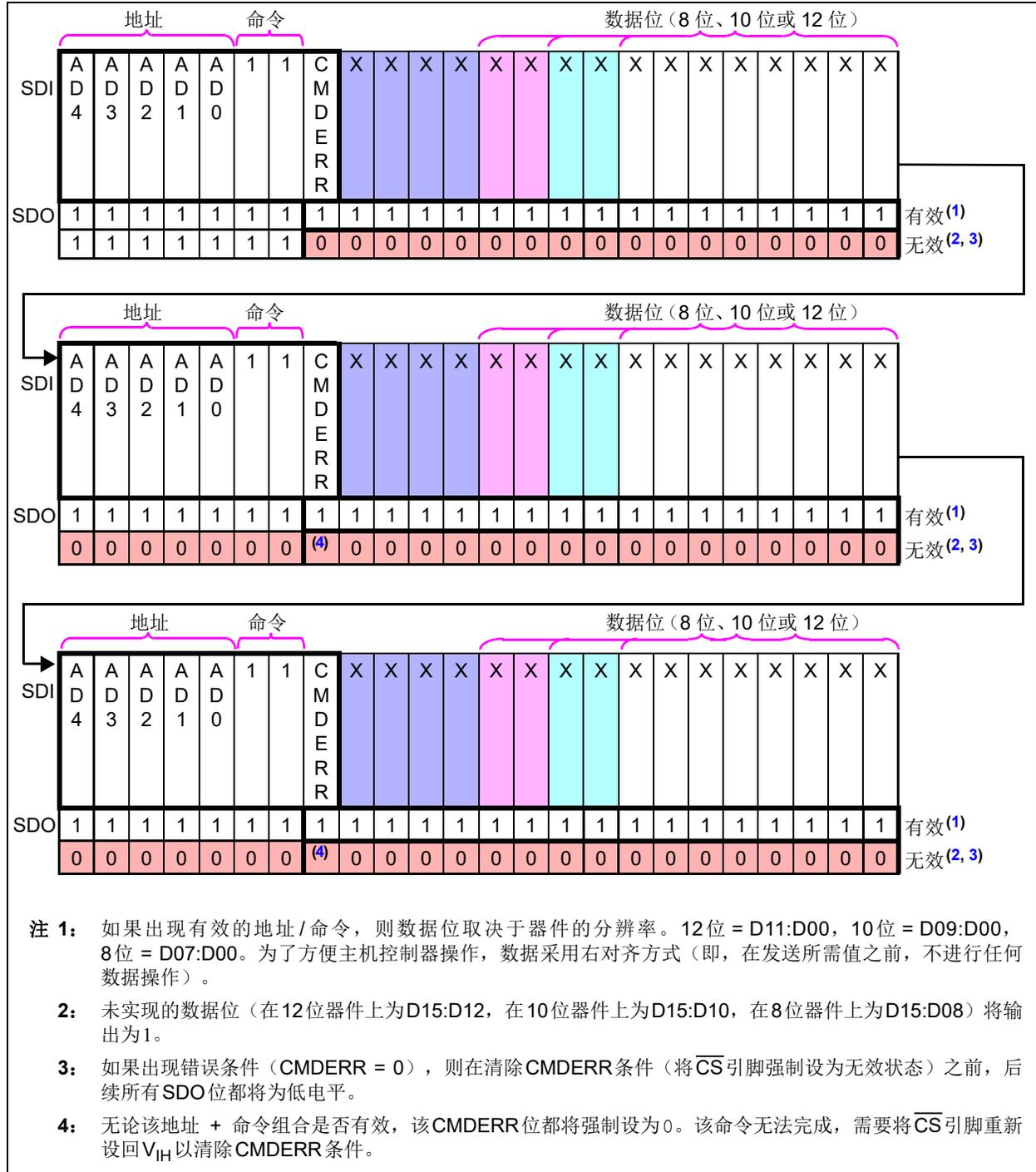


图7-8: 连续读序列

MCP48FEBXX

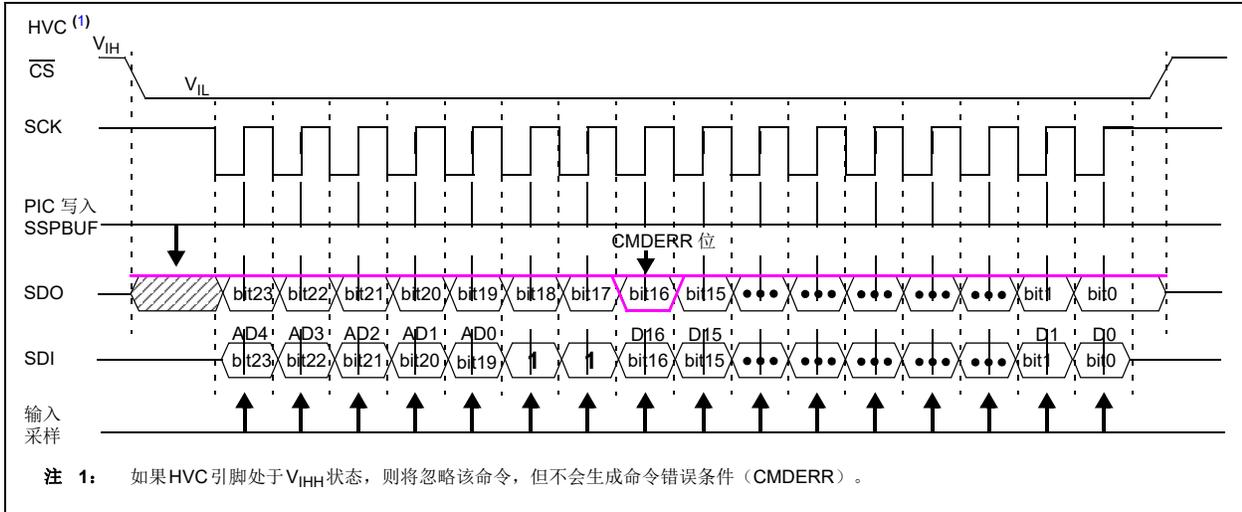


图7-9: 24位读命令 ($C1:C0 = 11$) ——SPI波形 (PIC MCU, 模式1,1)

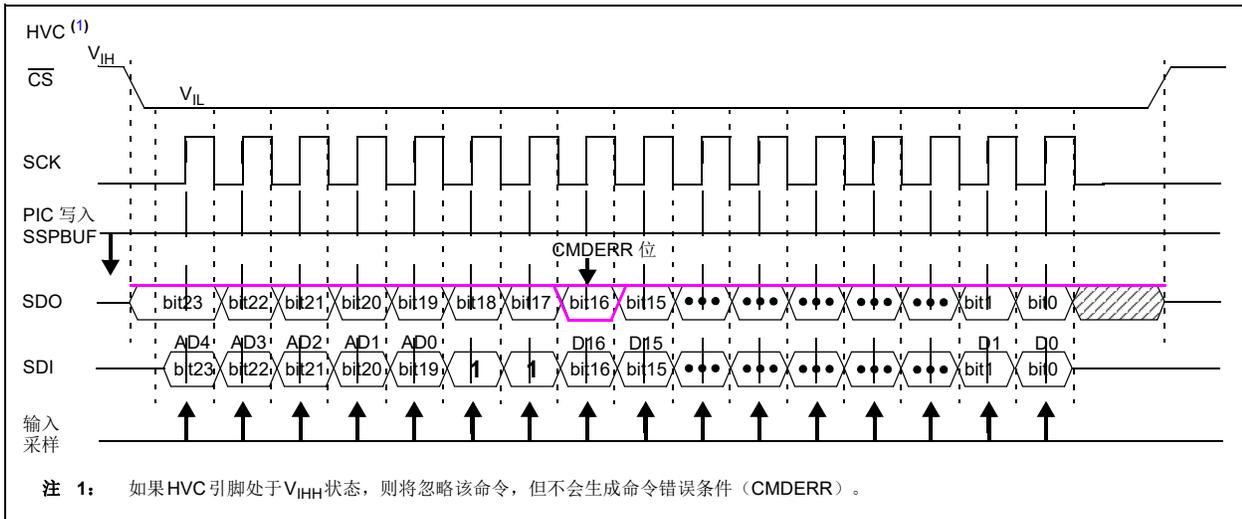


图7-10: 24位读命令 ($C1:C0 = 11$) ——SPI波形 (PIC MCU, 模式0,0)

7.3 用于修改器件配置位的命令

MCP48FEBXX 器件支持两种用于对器件的配置位进行编程的命令。这些命令需要HVC引脚为高电压 (V_{IHH})。这些命令包括：

- 使能配置位
- 禁止配置位

这些配置位用于防止意外修改DAC值。当需要修改DAC值时，需要通过高电压来更改这些位的状态。

7.4 使能配置位（高电压）

图7-11（使能）给出了单个使能配置位命令的格式。该命令需等待至接收到正确格式的命令后才会启动EEPROM写周期 (t_{WC})。

在EEPROM写周期中，仅接受对易失性存储器的串行命令。在EEPROM写周期 (t_{WC}) 完成之前，所有其他串行命令都将被忽略。此时，主机控制器可以对易失性DAC、易失性 V_{REF} 、掉电、增益、状态和 WiperLock 技术状态寄存器进行操作。状态寄存器中的EEWA位用于指示EEPROM写周期的状态。

7.4.1 高电压命令（HVC）信号

高电压命令（HVC）信号用于指示命令或命令序列处于高电压模式。如果LAT/HVC引脚上的信号高于 V_{IHH} （约9.0V），则会使器件进入高电压模式。借助高电压命令，可以使能和禁止器件的WiperLock技术和写保护功能。

注 1: 当HVC引脚驱动至 V_{IHH} 电压后，需要经过一段延时SCK引脚上才会出现第1个边沿。

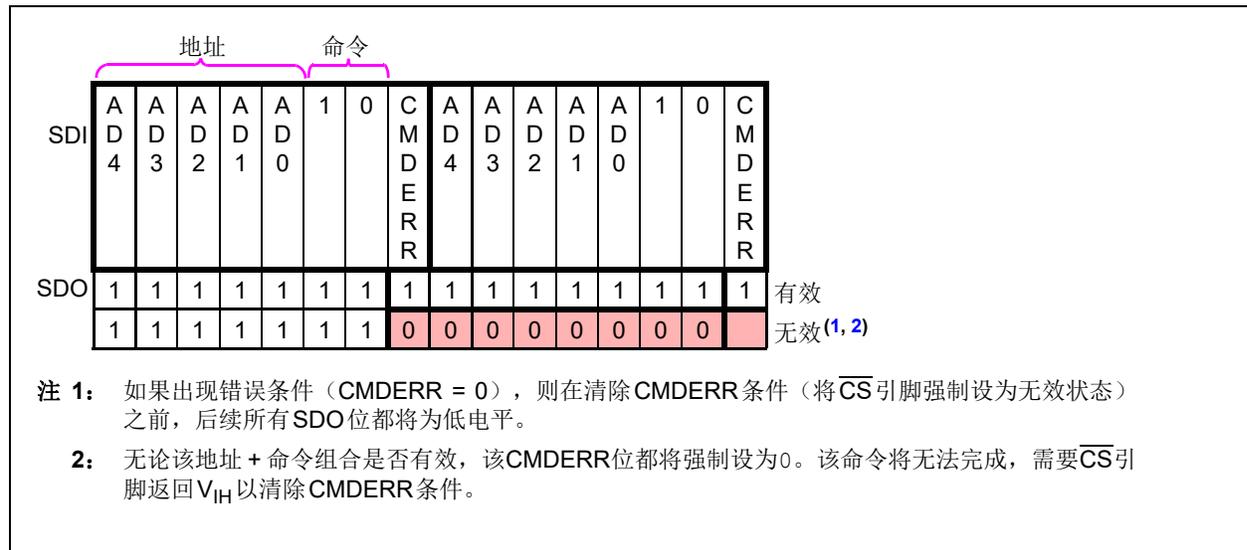


图7-11: 使能命令序列

MCP48FEBXX

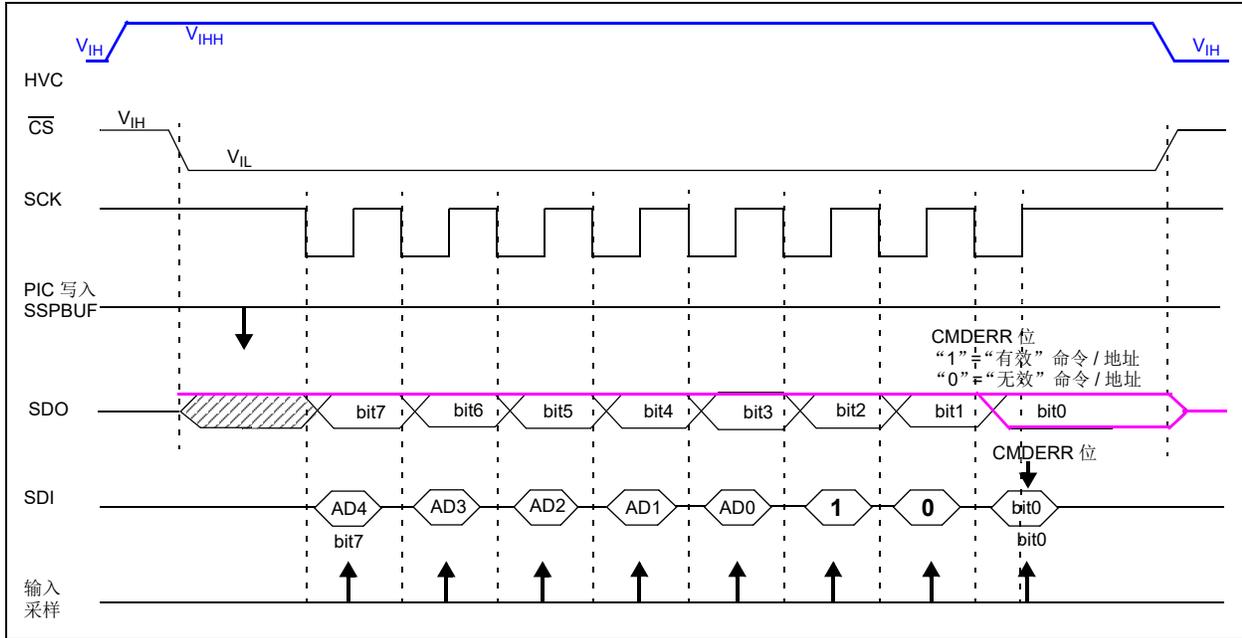


图7-12: 8位使能命令 (C1:C0 = 10) ——SPI 波形 (PIC MCU, 模式1,1)

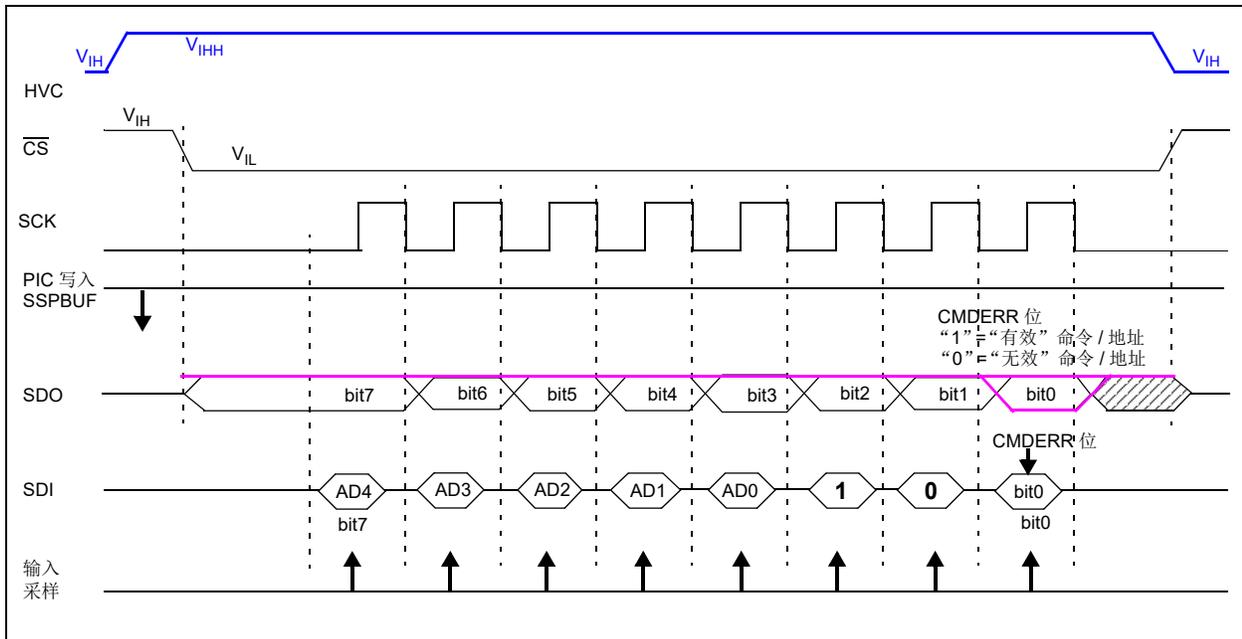


图7-13: 8位使能命令 (C1:C0 = 10) ——SPI 波形 (PIC MCU, 模式0,0)

7.5 禁止配置位（高电压）

图7-14（禁止）给出了单个禁止配置位命令的格式。该命令需等待至接收到正确格式的命令后才会启动EEPROM写周期（ t_{WC} ）。

在EEPROM写周期中，仅接受对易失性存储器的串行命令。在EEPROM写周期（ t_{WC} ）完成之前，所有其他串行命令都将被忽略。此时，主机控制器可以对易失性DAC、易失性 V_{REF} 、掉电、增益、状态和WiperLock技术状态寄存器进行操作。状态寄存器中的EEWA位用于指示EEPROM写周期的状态。

7.5.1 高电压命令（HVC）信号

高电压命令（HVC）信号用于指示命令或命令序列处于高电压模式。如果HVC引脚上的信号高于 V_{IH} （约9.0V），则会使MCP48FEBXX器件进入高电压模式。借助高电压命令，可以使能和禁止器件的WiperLock技术和写保护功能。

注 1: 当HVC引脚驱动至 V_{IH} 电压后，需要经过一段延时SCK引脚上才会出现第1个边沿。

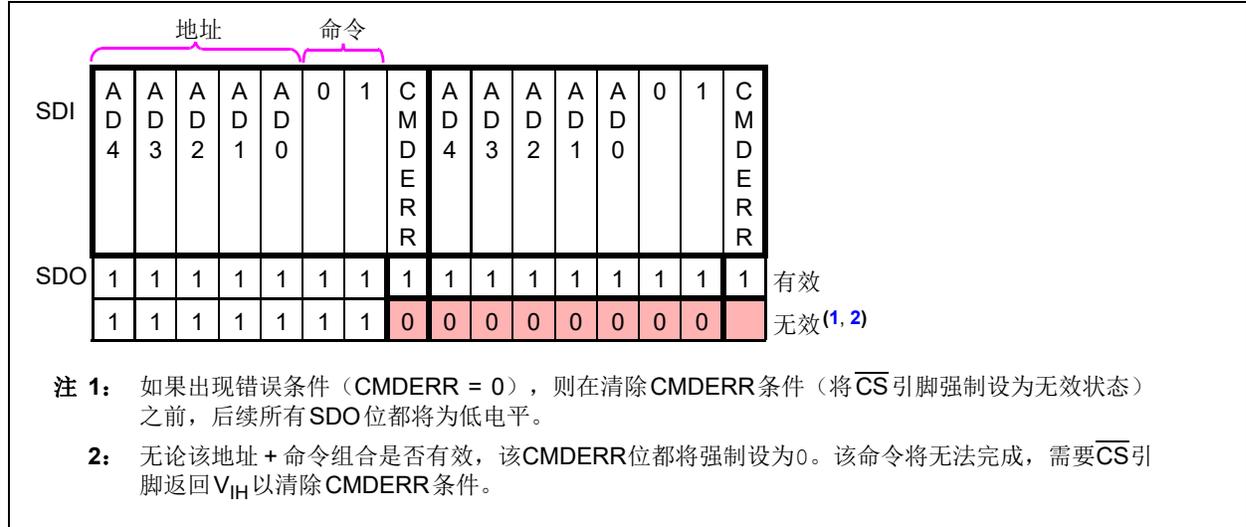


图7-14: 禁止命令序列

MCP48FEBXX

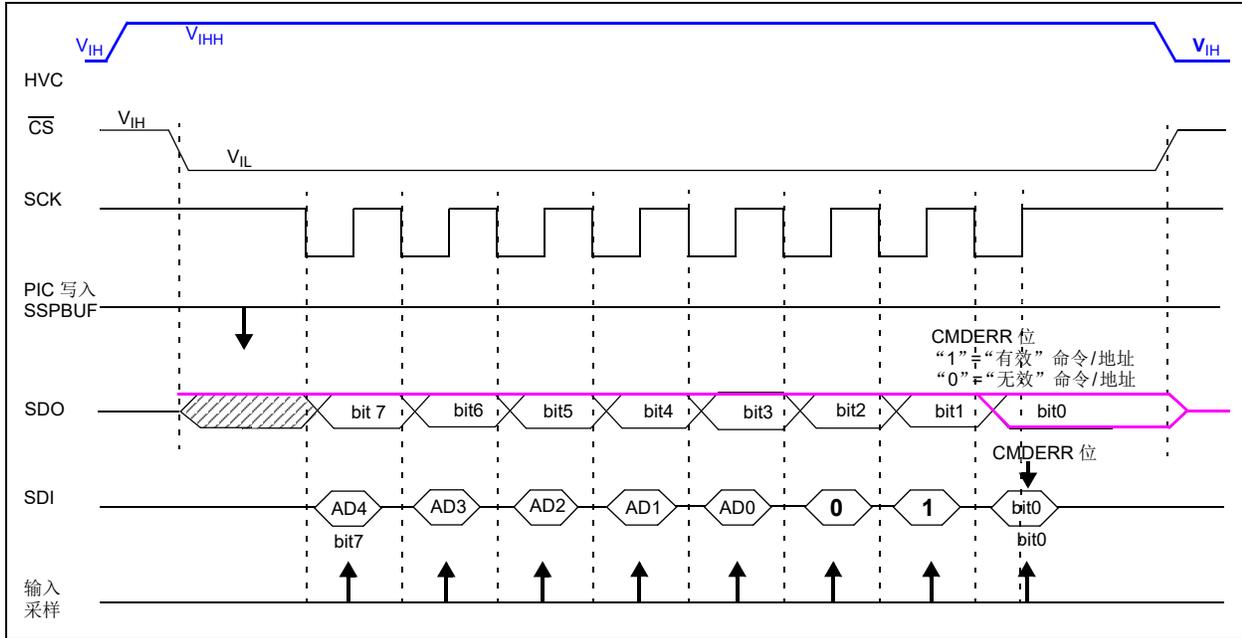


图7-15: 8位禁止命令 (C1:C0 = 01) ——SPI波形 (PIC MCU, 模式1,1)

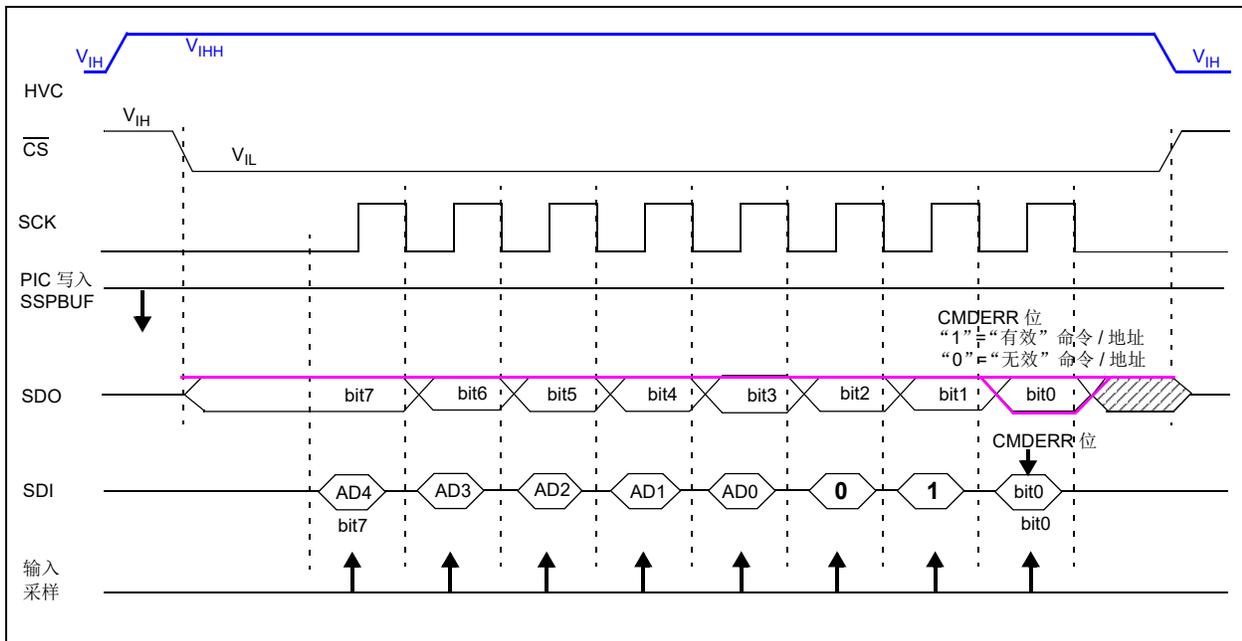


图7-16: 8位禁止命令 (C1:C0 = 01) ——SPI波形 (PIC MCU, 模式0,0)

8.0 典型应用

MCP48FEBXX 系列器件是通用单 / 双通道电压输出 DAC，适用于需要以低功耗和非易失性 EEPROM 存储器执行高精度操作的各类应用。

由于器件包含非易失性 EEPROM 存储器，因此用户可将这些器件用于要求输出在后续上电时恢复先前设定值的应用。

该系列器件适合以下应用：

- 设定值或偏移调整
- 传感器校准
- 便携式仪表（电池供电）
- 电机控制

8.1 电源注意事项

电源应尽可能干净。如果选择内部 V_{DD} 作为梯形电阻网络的参考电压（ $VRxB:VRxA = 00$ ），则器件的电源还将在内部用于 DAC 参考电压。

V_{DD} 线上引入的任何噪声均会影响 DAC 性能。典型应用需要通过旁路电容来滤除 V_{DD} 线上的高频噪声。产生噪声的原因可能是电源走线，也可能是 DAC 输出的变化。旁路电容有助于最大限度地降低这些噪声源对信号完整性的影响。图 8-1 所示为在 V_{DD} 线上并联使用了两个旁路电容（一个 $10\ \mu\text{F}$ 钽电容和一个 $0.1\ \mu\text{F}$ 陶瓷电容）的示例。这些电容应尽可能靠近 V_{DD} 引脚（4 mm 以内）。如果应用电路有单独的 digital 和模拟电源，则器件的 V_{DD} 和 V_{SS} 引脚应位于模拟平面上。

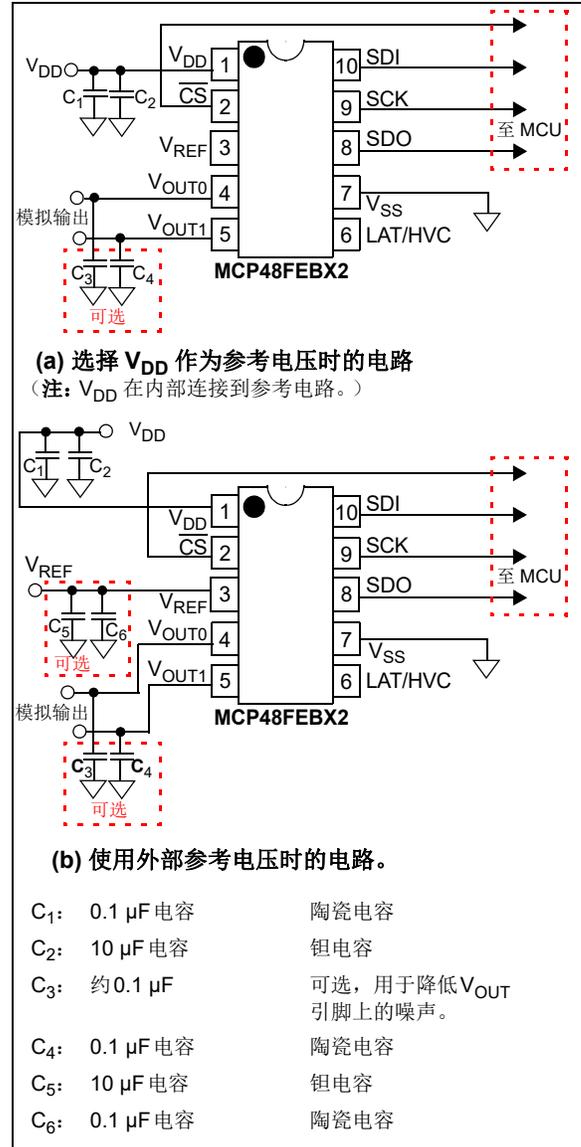


图 8-1: 旁路滤波示例电路

MCP48FEBXX

8.2 应用示例

MCP48FEBXX 器件是轨到轨输出 DAC，设计用于在 2.7V 至 5.5V 的 V_{DD} 范围内工作。内部输出运放足够稳健，可直接驱动常见的 - 小信号负载，从而消除大多数应用因外部缓冲器而增加的成本和尺寸。用户可以通过设置配置寄存器来选择输出运放的增益为 1 或 2。此外，用户还可以使用内部 V_{DD} 作为参考电压，或者使用外部参考电压。各种用户选项和易于使用的功能使这些器件适用于各种现代 DAC 应用。

应用示例包括：

- 减小输出步长
- 构建“窗口”DAC
- 双极性操作
- 增益和偏移可选的双极性电压输出
- 设计双精度 DAC
- 构建可编程电流源
- 串行接口通信时间
- 电源注意事项
- 布线注意事项

8.2.1 直流设定值或校准

该系列器件的一个常见应用是数字控制的设定值和/或可变参数（如传感器偏移或斜率）校准。例如，MCP48FEB2X 提供 4096 个输出步。如果参考电压为 4.096V（其中 $G_x = 0$ ），则 LSB 大小为 1 mV。如果需要较小的输出步长，则需要较低的外部参考电压。

8.2.1.1 减小输出步长

如果应用正在校准二极管或晶体管的偏置电压，则可能需要 0.8V 的偏置电压范围，分辨率约为每步 200 μ V。实现小步长的两种常见方法如下：

- **使用较低的 V_{ref} 引脚电压：**如果外部参考电压可提供所需的输出电压范围，则可使用外部参考电压（ V_{REF} ）。但是，当使用低压参考电压时，基底噪声偶尔会导致不可容忍的 SNR 误差。
- **在 DAC 的输出上使用分压器：**当需要外部参考电压极低时或无法提供所需输出电压时，使用分压器可带来一些优势。在这种情况下，可使用数值较大的参考电压，然后通过两个电阻将输出范围精确缩小到所需范围。

图 8-2 对此概念进行了说明。分压器输出端的旁路电容起着关键作用，可衰减 DAC 的输出噪声和环境引起的噪声。

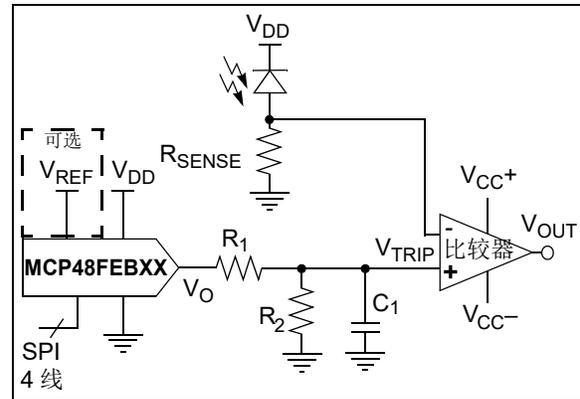


图 8-2: 设定值或阈值校准的示例电路

公式 8-1: V_{OUT} 和 V_{TRIP} 计算

$$V_{OUT} = V_{REF} \cdot G \cdot \frac{\text{DAC 寄存器值}}{2^N}$$
$$V_{trip} = V_{OUT} \left(\frac{R_2}{R_1 + R_2} \right)$$

8.2.1.2 构建“窗口”DAC

在校准传感器的设定值或阈值时，通常仅使用DAC输出范围的一小部分。如果LSb大小能够满足应用的精度要求，则会牺牲未使用的范围，这样没有任何影响。如果需要更高的精度，则需减小输出范围以提高所需阈值附近的分辨率。

如果阈值并非接近 V_{REF} 、 $2 \cdot V_{REF}$ 或 V_{SS} ，则在阈值附近构建“窗口”会具有许多优势。构建该“窗口”的一种简单方法是使用具有上拉和下拉电阻的分压器网络。图8-3和图8-5对此概念进行了说明。

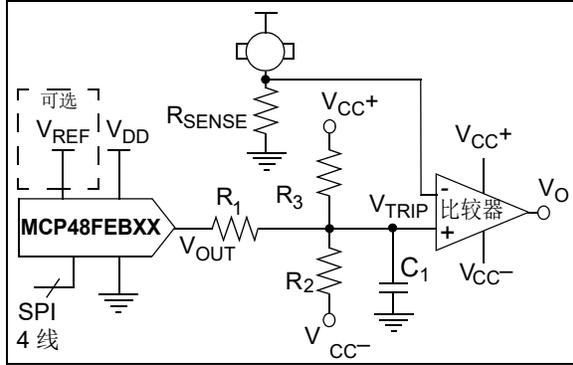


图8-3: 单电源“窗口”DAC

公式8-2: V_{OUT} 和 V_{TRIP} 计算

$$V_{OUT} = V_{REF} \cdot G \cdot \frac{DAC \text{ 寄存器值}}{2^N}$$

$$V_{TRIP} = \frac{V_{OUT}R_{23} + V_{23}R_1}{R_1 + R_{23}}$$

戴维宁等效定理

$$\begin{cases} R_{23} = \frac{R_2 R_3}{R_2 + R_3} \\ V_{23} = \frac{(V_{CC+} R_2) + (V_{CC-} R_3)}{R_2 + R_3} \end{cases}$$

8.3 双极性操作

双极性操作通过外部运算放大器来实现。由于运放品种繁多且可用性强，所以该配置是一种合意的选择。这使得通用DAC在其成本和可用性方面极具优势的情况下，还能满足各种输出电压范围、功耗和噪声性能方面的要求。

图8-4所示为简单的双极性电压源配置。 R_1 和 R_2 用于选择增益，而 R_3 和 R_4 用于使DAC的输出达到所选偏移量。请注意，如果需要更高的偏移量，可以将 R_4 连接至 V_{DD} ，而非 V_{SS} 。

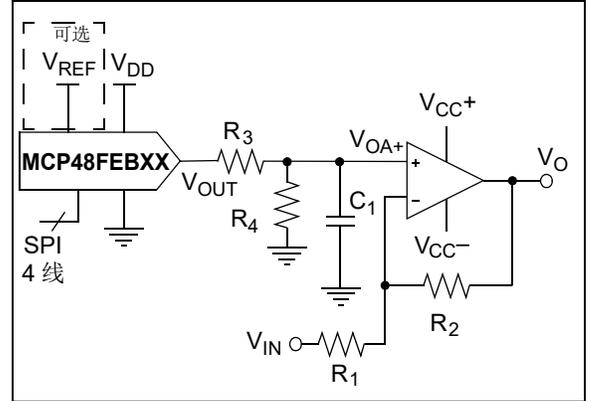


图8-4: 数字控制的双极性电压源示例电路

公式8-3: V_{OUT} 、 V_{OA+} 和 V_O 计算

$$V_{OUT} = V_{REF} \cdot G \cdot \frac{DAC \text{ 寄存器值}}{2^N}$$

$$V_{OA+} = \frac{V_{OUT} \cdot R_4}{R_3 + R_4}$$

$$V_O = V_{OA+} \cdot \left(1 + \frac{R_2}{R_1}\right) - V_{DD} \cdot \left(\frac{R_2}{R_1}\right)$$

MCP48FEBXX

8.4 增益和偏移可选的双极性电压输出

在某些应用中，需要对输出范围进行精确的数字控制。图8-5说明了如何使用DAC器件在双极性或单电源应用中实现这一目的。

该电路通常用于对斜率和偏移可变的传感器进行线性化处理。

如果安装了 R_3 、 R_4 和 R_5 ，则将使用用于设计双极性“窗口”DAC的公式。

双极性DAC示例

假定某个特定应用需要1 mV的输出步长和 $\pm 2.05V$ 的输出范围。

步骤1: 计算范围： $+2.05V - (-2.05V) = 4.1V$ 。

步骤2: 计算所需分辨率：

$$4.1V / 1 \text{ mV} = 4100$$

由于 $2^{12} = 4096$ ，因此需要12位分辨率。

步骤3: 放大器增益(R_2/R_1)与满量程 V_{OUT} (4.096V)之积必须等于所需的最小输出，以便实现双极性操作。由于通过选择电阻值($R_1 + R_2$)可实现任意增益，因此必须先选择 V_{REF} 值。如果使用的 V_{REF} 为4.096V，在已知所需输出为-2.05V的情况下，通过将DAC设置为0来求解放大器的增益。

公式可简化为：

公式8-4:

$$\frac{-R_2}{R_1} = \frac{-2.05}{4.096V} \quad \frac{R_2}{R_1} = \frac{1}{2}$$

如果 $R_1 = 20 \text{ k}\Omega$ ， $R_2 = 10 \text{ k}\Omega$ ，增益将为0.5。

步骤4: 接下来，在已知所需输出为+2.05V的情况下，通过将DAC设置为4096来求解 R_3 和 R_4 。

公式8-5:

$$\frac{R_4}{(R_3 + R_4)} = \frac{2.05V + (0.5 \cdot 4.096V)}{1.5 \cdot 4.096V} = \frac{2}{3}$$

如果 $R_4 = 20 \text{ k}\Omega$ ，则 $R_3 = 10 \text{ k}\Omega$

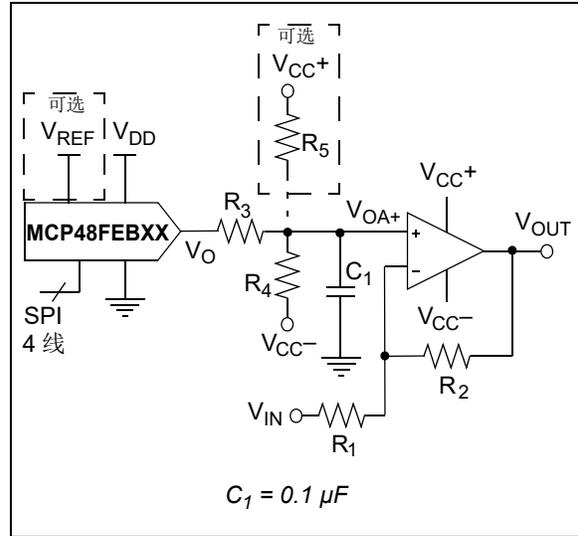


图8-5: 具有可选增益和偏移的双极性电压源

公式8-6: V_{OUT} 、 V_{OA+} 和 V_O 计算

$$V_{OUT} = V_{REF} \cdot G \cdot \frac{\text{DAC 寄存器值}}{2^N}$$

$$V_{OA+} = \frac{V_{OUT} \cdot R_4 + V_{CC+} \cdot R_5}{R_3 + R_4}$$

$$V_O = \underbrace{V_{OA+} \cdot \left(1 + \frac{R_2}{R_1}\right)}_{\text{偏移调整}} - \underbrace{V_{IN} \cdot \left(\frac{R_2}{R_1}\right)}_{\text{增益调整}}$$

公式8-7: 使用 R_4 和 R_5 的双极性“窗口”DAC

戴维宁等效定理

$$\begin{cases} V_{45} = \frac{V_{CC+}R_4 + V_{CC-}R_5}{R_4 + R_5} \\ V_{IN+} = \frac{V_{OUT}R_4 + V_{45}R_3}{R_3 + R_4} \\ R_{45} = \frac{R_4R_5}{R_4 + R_5} \end{cases}$$

$$V_O = \underbrace{V_{IN+} \left(1 + \frac{R_2}{R_1}\right)}_{\text{偏移调整}} - \underbrace{V_{IN} \left(\frac{R_2}{R_1}\right)}_{\text{增益调整}}$$

8.5 设计双精度 DAC

图8-6所示为最高支持24位分辨率的单电源电压输出的设计示例。需要使用两个12位DAC。该设计实际上只是一个带缓冲输出的分压器。

双精度 DAC 示例

如果一个与**双极性 DAC 示例**类似的应用需要 $1\ \mu\text{V}$ （而非 $1\ \text{mV}$ ）的分辨率以及 0V 至 4.1V 的电压范围，则12位分辨率是不够的。

步骤1: 计算所需分辨率:

$$4.1\text{V}/1\ \mu\text{V} = 4.1 \times 10^6.$$

由于 $2^{22} = 4.2 \times 10^6$ ，因此需要22位的分辨率。由于 $\text{DNL} = \pm 1.0\ \text{LSb}$ ，因此该设计可尝试使用12位DAC。

步骤2: 由于DAC1的 $V_{\text{OUT}1}$ 的分辨率为 $1\ \text{mV}$ ，因此只需将其输出“拉”为 $1/1000$ 以满足 $1\ \mu\text{V}$ 的目标。将 $V_{\text{OUT}0}$ 除以 1000 将使应用可以补偿DAC1的DNL误差。

步骤3: 如果 R_2 为 $100\ \Omega$ ，则 R_1 需要为 $100\ \text{k}\Omega$ 。

步骤4: 得到的传递函数如**例 8-8**所示。

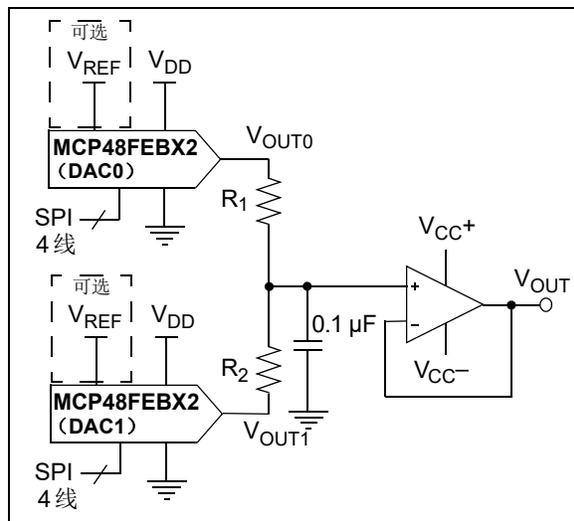


图8-6: 使用MCP48FEBX2的简单双精度DAC

公式8-8: V_{OUT} 计算

$$V_{\text{OUT}} = \frac{V_{\text{OUT}0} \cdot R_2 + V_{\text{OUT}1} \cdot R_1}{R_1 + R_2}$$

其中:

$$V_{\text{OUT}0} = (V_{\text{REF}} \cdot G \cdot \text{DAC0 寄存器值}) / 4096$$

$$V_{\text{OUT}1} = (V_{\text{REF}} \cdot G \cdot \text{DAC1 寄存器值}) / 4096$$

G_x = 所选运放增益

8.6 构建可编程电流源

图8-7所示为使用电压跟随器构建可编程电流源的示例。电流传感器电阻用于将DAC电压输出转换为数字可选电流源。

R_{SENSE} 越小，其功耗就越低。但是，这也会降低控制电流时可采用的分辨率。

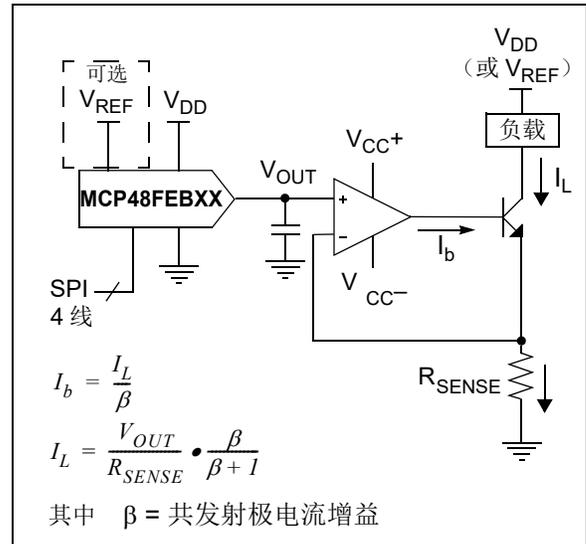


图8-7: 数字控制的电流源

MCP48FEBXX

8.7 串行接口通信时间

表8-1列出了不同串行接口工作频率下，SPI串行接口所支持操作的时间和频率。这一性能与 V_{OUT} 输出性能（例如压摆率）一起用于确定应用的易失性DAC寄存器的更新速率。

表8-1: 串行接口时间/频率

操作	命令		HV	模式 ⁽¹⁾	位时钟数 ⁽²⁾	数据更新速率 (8位/10位/12位) (数据字/秒)			备注
	编码					1 MHz	10 MHz	20 MHz ⁽³⁾	
	C1	C0							
写命令	0	0	否 ⁽⁴⁾	单次	24	41,666	416,666	833,333	
	0	0	否 ⁽⁴⁾	连续	24n	41,666	416,666	833,333	10个数据字
读命令 ⁽⁵⁾	1	1	否 ⁽⁴⁾	单次	24	41,666	416,666	无	
	1	1	否 ⁽⁴⁾	连续	24n	41,666	416,666	无	10个数据字
使能配置位命令	1	0	是	单次	8	125,000	1,250,000	2,500,000	
	1	0	是	连续	8n	125,000	1,250,000	2,500,000	10个数据字
禁止配置位命令	0	1	是	单次	8	125,000	1,250,000	2,500,000	
	0	1	是	连续	8n	125,000	1,250,000	2,500,000	10个数据字

注 1: 非易失性寄存器只能使用“单次”模式。

2: “n”表示命令操作的重复次数。

3: 仅限写命令。

4: 如果HVC引脚处于 V_{IH} 状态，则将忽略该命令，但不会生成命令错误条件（CMDERR）。

5: 该命令有助于确定何时完成EEPROM编程周期。

8.8 设计注意事项

在使用MCP48FEBXX器件设计系统时，应考虑以下注意事项：

- 电源注意事项
- 布线注意事项

8.8.1 电源注意事项

典型的应用将需要使用旁路电容，以滤除高频噪声，这些噪声会引入电源的走线。旁路电容有助于最大限度地降低这些噪声源对信号完整性的影响。图8-8所示为适当的旁路策略。

在该示例中，建议的旁路电容值为0.1 μF。该电容应尽可能靠近器件电源引脚（V_{DD}）放置（4 mm以内）。

为这些器件供电的电源应尽可能干净。如果应用电路具有独立的数字和模拟电源，则V_{DD}和V_{SS}应位于模拟平面上。

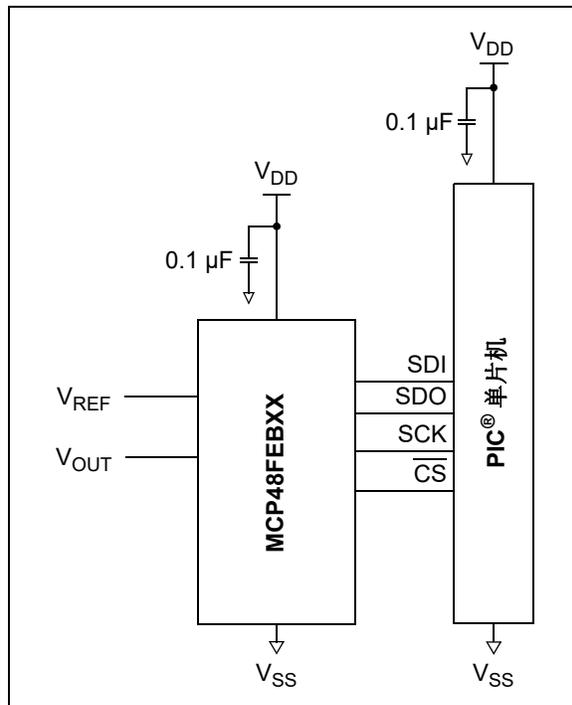


图8-8: 典型的单片机连接

8.8.2 布线注意事项

以下布线注意事项可能适用于您的应用：

- 噪声
- PCB面积要求

8.8.2.1 噪声

电感耦合交流瞬变和数字开关噪声可能会降低输入和输出信号的完整性，进而影响MCP48FEBXX的性能。精心的电路板布线可最大限度地降低这些影响并提高信噪比（Signal-to-Noise Ratio, SNR）。采用低电感地平面、隔离输入、隔离输出和适当去耦的多层电路板对于实现芯片能够提供的性能至关重要。对于特别恶劣的环境，可能需要对关键信号进行屏蔽保护。

建议使用独立的数字和模拟地平面。在这种情况下，V_{SS}引脚和V_{DD}电容的接地引脚应端接到模拟地平面。

注： 建议不要使用面包板和绕线电路板。

8.8.2.2 PCB面积要求

在某些应用中，PCB面积是器件选型的标准之一。表8-2列出了不同封装选项的典型封装尺寸和面积。

表8-2: 封装尺寸⁽¹⁾

封装			封装尺寸		
引脚数	类型	代码	尺寸 (mm)		面积 (mm ²)
			长度	宽度	
10	MSOP	UN	3.00	4.90	14.70

注 1: 不包括建议的焊盘布局尺寸，尺寸为典型值。

MCP48FEBXX

注:

9.0 开发支持

开发支持可分为两类，其中包括：

- [开发工具](#)
- [技术文档](#)

9.1 开发工具

MCP48FEBXX 系列器件目前暂未提供配套开发工具或外合板。如需了解本数据手册发布后的开发工具可用性，请访问官网上的器件产品页面（“开发工具”选项卡）。

9.2 技术文档

我们提供了一些附加技术文档来帮助您进行设计和开发。这些技术文档包括应用笔记、技术简介和设计指南。[表9-1](#)列出了其中部分文档。

表9-1： 技术文档

应用笔记编号	标题	文献编号
AN1326	《利用MCP4728 12位DAC设计LDMOS放大器偏置电压控制应用》	DS01326A_CN
—	《信号链设计指南》	DS21825G_CN
—	《汽车应用模拟解决方案设计指南》	DS01005B_CN

MCP48FEBXX

注:

10.0 封装信息

10.1 封装标识信息

10 引脚 MSOP



示例



器件编号	代码	器件编号	代码
MCP48FEB01-E/UN	48FE01	MCP48FEB02-E/UN	48FE02
MCP48FEB01T-E/UN	48FE01	MCP48FEB02T-E/UN	48FE02
MCP48FEB11-E/UN	48FE11	MCP48FEB12-E/UN	48FE12
MCP48FEB11T-E/UN	48FE11	MCP48FEB12T-E/UN	48FE12
MCP48FEB21-E/UN	48FE21	MCP48FEB22-E/UN	48FE22
MCP48FEB21T-E/UN	48FE21	MCP48FEB22T-E/UN	48FE22

图注:

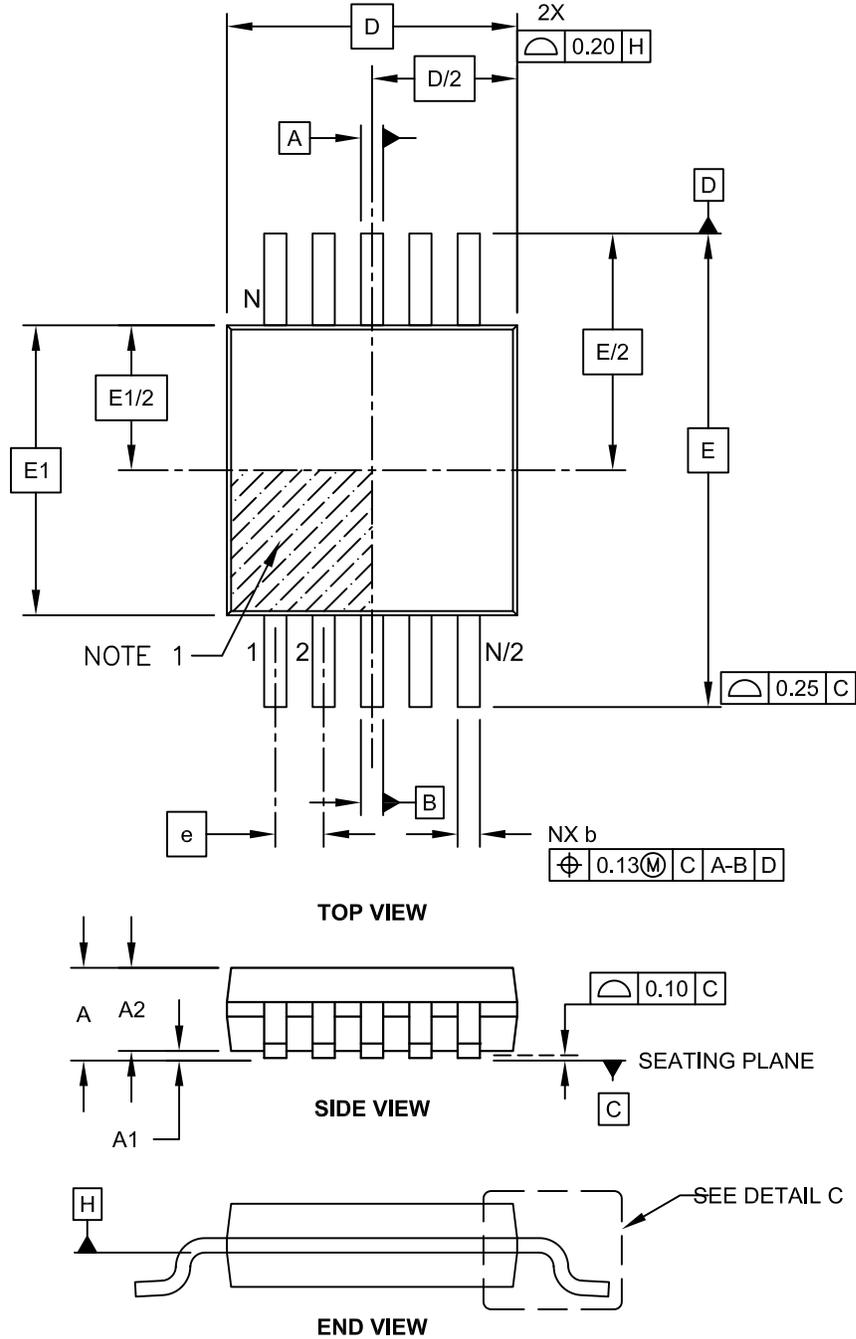
- XX...X 客户指定信息
- Y 年份代码（日历年的最后一位数字）
- YY 年份代码（日历年的最后两位数字）
- WW 星期代码（一月一日的星期代码为“01”）
- NNN 由字母数字组成的追踪代码
- ⓔ3 雾锡（Matte Tin, Sn）的JEDEC®无铅标志
- * 本封装为无铅封装。JEDEC无铅标志（ⓔ3）标示于此种封装的外包装上。

注: Microchip 部件编号如果无法在同一行内完整标注，将换行标出，因此会限制表示客户指定信息的字符数。

MCP48FEBXX

10 引脚塑封微小外形封装 (UN) [MSOP]

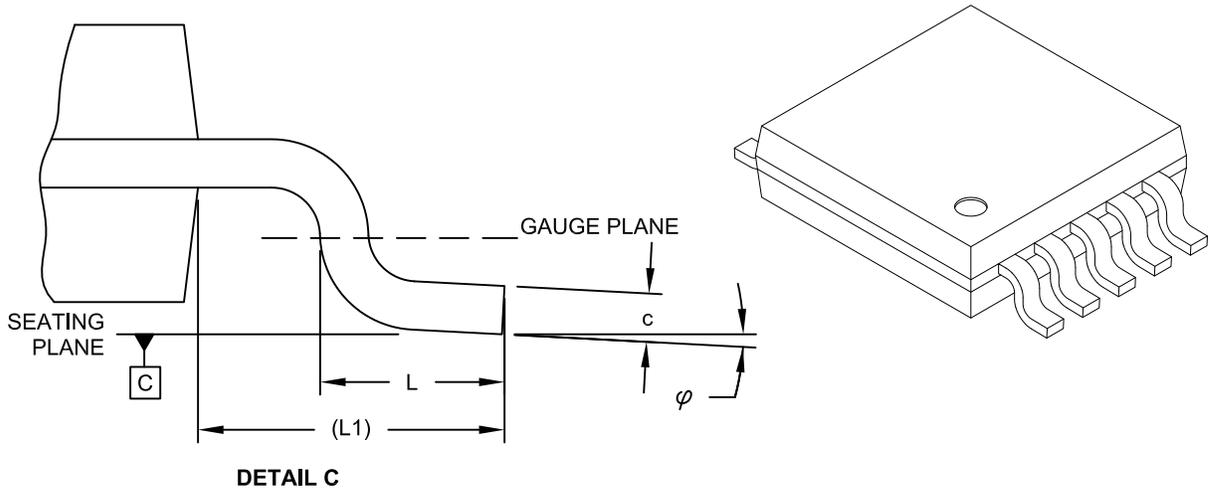
注：最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



Microchip Technology Drawing C04-021C Sheet 1 of 2

10 引脚塑封微小外形封装 (UN) [MSOP]

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Number of Pins	N	10		
Pitch	e	0.50 BSC		
Overall Height	A	-	-	1.10
Molded Package Thickness	A2	0.75	0.85	0.95
Standoff	A1	0.00	-	0.15
Overall Width	E	4.90 BSC		
Molded Package Width	E1	3.00 BSC		
Overall Length	D	3.00 BSC		
Foot Length	L	0.40	0.60	0.80
Footprint	L1	0.95 REF		
Foot Angle	φ	0°	-	8°
Lead Thickness	c	0.08	-	0.23
Lead Width	b	0.15	-	0.33

Notes:

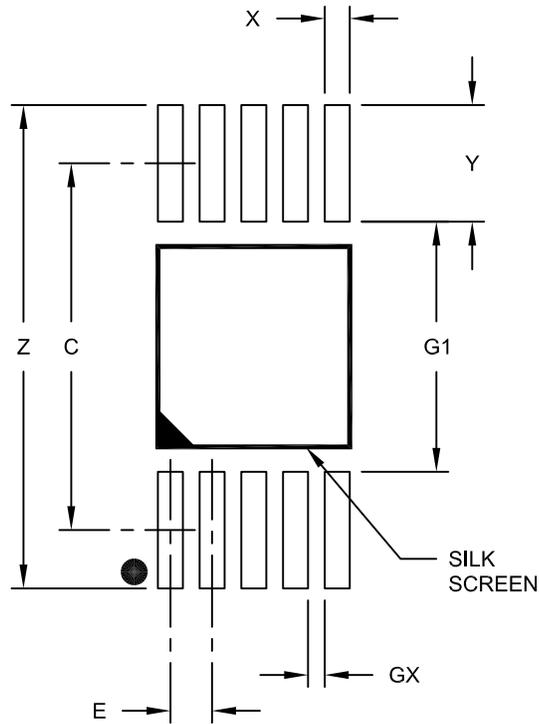
- Pin 1 visual index feature may vary, but must be located within the hatched area.
- Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.15mm per side.
- Dimensioning and tolerancing per ASME Y14.5M.
BSC: Basic Dimension. Theoretically exact value shown without tolerances.
REF: Reference Dimension, usually without tolerance, for information purposes only.

Microchip Technology Drawing C04-021C Sheet 2 of 2

MCP48FEBXX

10 引脚塑封微小外形封装 (UN) [MSOP]

注： 最新封装图请至 <http://www.microchip.com/packaging> 查看 Microchip 封装规范。



RECOMMENDED LAND PATTERN

Dimension Limits	Units	MILLIMETERS		
		MIN	NOM	MAX
Contact Pitch	E	0.50 BSC		
Contact Pad Spacing	C		4.40	
Overall Width	Z			5.80
Contact Pad Width (X10)	X1			0.30
Contact Pad Length (X10)	Y1			1.40
Distance Between Pads	G1	3.00		
Distance Between Pads	GX	0.20		

Notes:

1. Dimensioning and tolerancing per ASME Y14.5M

BSC: Basic Dimension. Theoretically exact value shown without tolerances.

Microchip Technology Drawing No. C04-2021A

附录 A: 版本历史

版本 B (2015年9月)

- 更正了标题/部件编号的输入错误。

版本 A (2015年9月)

- 本文档的初始版本。

MCP48FEBXX

附录B: 术语

B.1 分辨率

分辨率等于满量程范围除以DAC输出状态的数量。对于12位DAC而言，分辨率为 2^{12} ，即DAC编码范围为0至4095。

注: 当梯形电阻网络中有 2^N 个电阻和有 2^N 个抽头时，满量程DAC寄存器编码代表参考电压源(V_{DD} 或 V_{REF})的电阻元件(1LSb)。

B.2 最低有效位 (LSb)

它是两个连续编码之间的电压差。对于给定的输出电压范围，需要将它除以器件的分辨率(公式B-1)。电压范围可以是 V_{DD} (或 V_{REF})至 V_{SS} (理想值)、整个输出驱动器线性范围内的DAC寄存器编码(测量值1)或者满量程至零量程(测量值2)。

公式B-1: LSb电压计算

理想值

$$V_{LSb(IDEAL)} = \frac{V_{DD}}{2^N} \text{ 或 } \frac{V_{REF}}{2^N}$$

测量值1

$$V_{LSb(Measured)} = \frac{V_{OUT(@4000)} - V_{OUT(@100)}}{(4000 - 100)}$$

测量值2

$$V_{LSb} = \frac{V_{OUT(@FS)} - V_{OUT(@ZS)}}{2^N - 1}$$

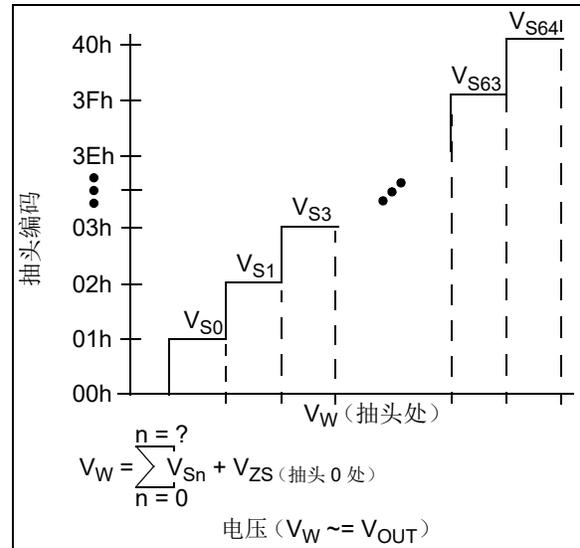
$$2^N = 4096 \quad (\text{MCP48FEB2X})$$

$$= 1024 \quad (\text{MCP48FEB1X})$$

$$= 256 \quad (\text{MCP48FEB0X})$$

B.3 单调性操作

单调性操作意味着器件的输出电压(V_{OUT})会随着每1个编码步(LSb)递增而增大(从 V_{SS} 至DAC的参考电压(V_{DD} 或 V_{REF}))。



图B-1: V_W (V_{OUT})

B.4 满量程误差 (E_{FS})

满量程误差 (见**图B-3**) 是指实现最大器件DAC寄存器编码 (12位时为编码FFFh, 10位时为编码3FFh, 8位时为编码FFh) 时 V_{OUT} 引脚相对于预期 V_{OUT} 电压 (理论值) 的误差 (见**公式B-2**)。该误差取决于 V_{OUT} 引脚上的阻性负载 (以及该负载所连接的位置, 例如 V_{SS} 或 V_{DD})。如果负载 (连接至 V_{SS}) 大于指定值, 满量程误差将更大。

该误差 (单位为位) 由理论电压步长决定, 用LSb表示。

公式B-2: 满量程误差

$$E_{FS} = \frac{V_{OUT(@FS)} - V_{IDEAL(@FS)}}{V_{LSb(IDEAL)}}$$

其中:

E_{FS} 用LSb表示。

$V_{OUT(@FS)}$ = DAC寄存器编码处于满量程时的 V_{OUT} 电压。

$V_{IDEAL(@FS)}$ = DAC寄存器编码处于满量程时的理想输出电压。

$V_{LSb(IDEAL)}$ = 理论电压步长。

B.5 零量程误差 (E_{ZS})

零量程误差 (见**图B-2**) 是DAC寄存器编码等于000h时, V_{OUT} 电压的理想值与测量值之差 (**公式B-3**)。该误差取决于 V_{OUT} 引脚上的阻性负载 (以及该负载所连接的位置, 例如 V_{SS} 或 V_{DD})。如果负载 (连接至 V_{DD}) 大于指定值, 零量程误差将更大。

该误差 (单位为位) 由理论电压步长决定, 用LSb表示。

公式B-3: 零量程误差

$$E_{ZS} = \frac{V_{OUT(@ZS)}}{V_{LSb(IDEAL)}}$$

其中:

E_{ZS} 用LSb表示。

$V_{OUT(@ZS)}$ = DAC寄存器编码处于零量程时的 V_{OUT} 电压。

$V_{LSb(IDEAL)}$ = 理论电压步长。

B.6 总不可调整误差 (E_T)

总不可调整误差 (E_T) 是 V_{OUT} 电压的理想值与测量值之差。通常情况下, 校准输出电压是为了提高系统的性能。

该误差 (单位为位) 由理论电压步长决定, 用LSb表示。

公式B-4给出了总不可调整误差的计算方法。

公式B-4: 总不可调整误差计算

$$E_T = \frac{(V_{OUT_Actual(@code)} - V_{OUT_Ideal(@Code)})}{V_{LSb(Ideal)}}$$

其中:

E_T 用LSb表示。

$V_{OUT_Actual(@code)}$ = 在指定编码处测得的DAC输出电压。

$V_{OUT_Ideal(@code)}$ = 在指定编码处算出的DAC输出电压 (编码 * $V_{LSb(Ideal)}$)

$V_{LSb(Ideal)}$ = V_{REF} /步数

12位 = $V_{REF}/4096$

10位 = $V_{REF}/1024$

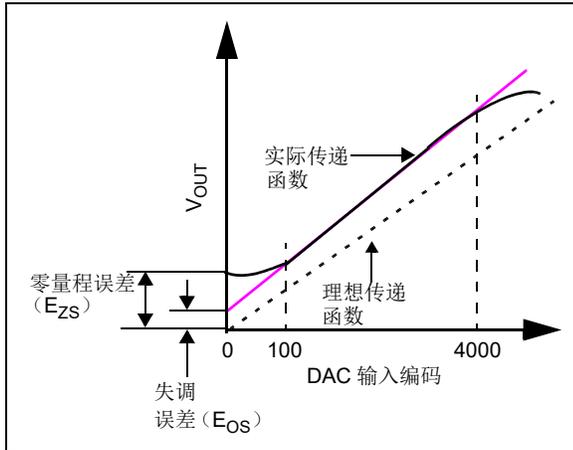
8位 = $V_{REF}/256$

MCP48FEBXX

B.7 失调误差 (E_{OS})

失调误差是指在指定编码处 V_{OUT} 电压相对于理想输出电压的偏差。在指定编码处，输出放大器处于线性工作范围内；对于MCP48FEBXX，我们指定编码100（十进制）。失调误差不包括增益误差。图B-2对此进行了说明。

该误差以mV为单位表示。失调误差可正亦可负。失调误差可由软件在应用电路中进行校准。



图B-2: 失调误差和零量程误差

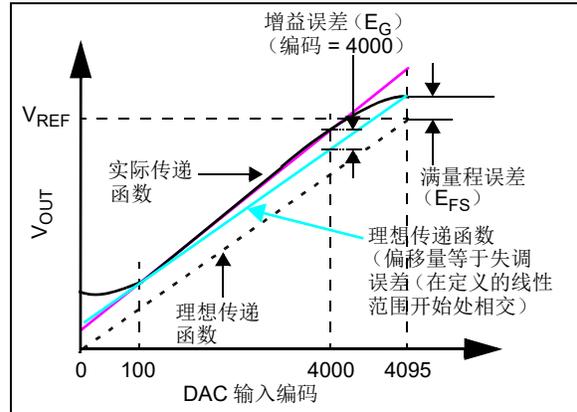
B.8 失调误差漂移 (E_{OSD})

失调误差漂移是指由于环境温度变化而引起的失调误差变化。失调误差漂移通常以ppm/°C或 $\mu V/^\circ C$ 为单位表示。

B.9 增益误差 (E_G)

增益误差通过输出驱动器线性范围的电压范围（示例：编码100和编码4000）基于理想斜率计算得出（见图B-3）。增益误差计算消除了器件的失调误差。

增益误差表示实际传递函数斜率与理想传递函数斜率的匹配程度。增益误差通常用满量程范围的百分比（%FSR）或LSb表示。FSR是DAC的理想满量程电压（见公式B-5）。



图B-3: 增益误差和满量程误差示例

公式B-5: 增益误差示例

$$E_G = \frac{(V_{OUT(@4000)} - V_{OS} - V_{OUT_Ideal(@4000)})}{V_{Full-Scale Range}} \cdot 100$$

其中:

E_G 用满量程范围（FSR）的百分比表示。

$V_{OUT(@4000)}$ = 在指定编码处测得的DAC输出电压。

$V_{OUT_Ideal(@4000)}$ = 在指定编码处算出的DAC输出电压（ $4000 \cdot V_{LSb(Ideal)}$ ）

V_{OS} = 测得的失调电压。

$V_{Full Scale Range}$ = 预期的满量程输出值（例如 V_{REF} 电压）。

B.10 增益误差漂移 (E_{GD})

增益误差漂移是指由于环境温度变化引起的增益误差变化。增益误差漂移通常以ppm/°C（满量程范围）为单位。

B.11 积分非线性 (INL) 误差

积分非线性 (Integral Nonlinearity, INL) 误差是指经过DAC传递函数所定义端点的实际传递函数相对于理想传递函数 (直线) 的最大偏差 (在消除失调误差和增益误差之后)。

在MCP48FEBXX中, INL使用定义的端点 (DAC编码100和编码4000) 计算。INL可以用满量程范围 (FSR) 的百分比或LSb表示。INL也称为相对精度。公式B-6说明了如何计算INL误差 (用LSb表示), 图B-4给出了INL精度的示例。

INL为正值意味着 V_{OUT} 电压高于理想电压。INL为负值意味着 V_{OUT} 电压低于理想电压。

公式B-6: INL 误差

$$E_{INL} = \frac{V_{OUT} - V_{Calc_Ideal}}{V_{LSb(Measured)}}$$

其中:

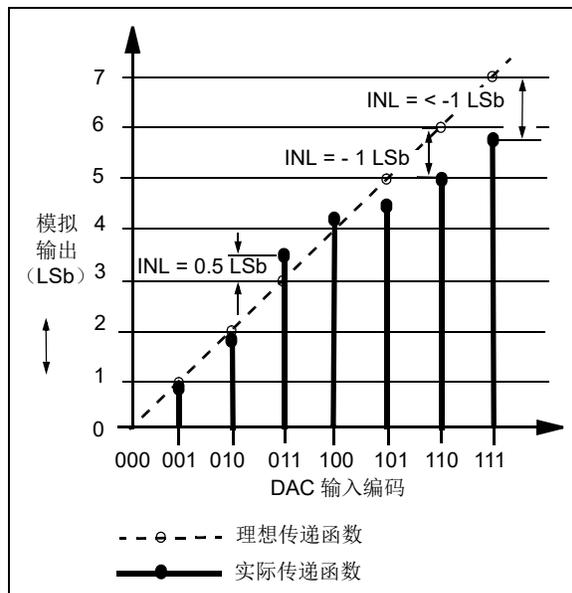
INL用LSb表示。

$$V_{Calc_Ideal} = \text{编码} * V_{LSb(Measured)} + V_{OS}$$

$V_{OUT(Code = n)}$ = 在给定DAC寄存器编码处测得的DAC输出电压

$V_{LSb(Measured)}$ = 对于测量值:
 $(V_{OUT(4000)} - V_{OUT(100)})/3900$

V_{OS} = 测得的失调电压。



图B-4: INL 精度

B.12 微分非线性 (DNL) 误差

微分非线性 (Differential Nonlinearity, DNL) 误差 (见图B-5) 用于衡量实际传递函数中编码之间的步长。编码之间的理想步长为1LSb。如果DNL误差为0, 则意味着每个编码的宽度正好为1LSb。如果DNL误差小于1LSb, 则DAC可保证单调输出且无编码丢失。公式B-7说明了如何计算任意两个相邻编码之间的DNL误差 (用LSb表示)。

公式B-7: DNL 误差

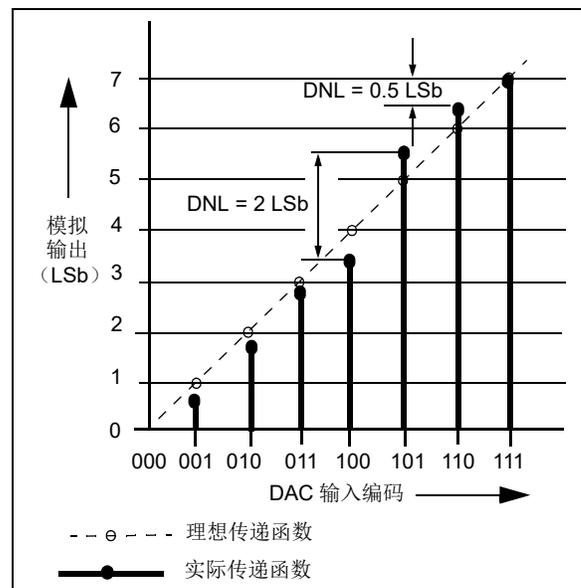
$$E_{DNL} = \frac{V_{OUT(code = n+1)} - V_{OUT(code = n)}}{V_{LSb(Measured)}} - 1$$

其中:

DNL用LSb表示。

$V_{OUT(Code = n)}$ = 在给定DAC寄存器编码处测得的DAC输出电压。

$V_{LSb(Measured)}$ = 对于测量值:
 $(V_{OUT(4000)} - V_{OUT(100)})/3900$



图B-5: DNL 精度

B.13 稳定时间

稳定时间是指 V_{OUT} 电压稳定到新的输出值所需的延时。该时间从编码跳变起始点开始测量，直到 V_{OUT} 电压处于规定精度范围为止。

在MCP48FEBXX中，稳定时间用于衡量在易失性DAC寄存器从满量程范围的1/4变化到3/4（12位器件：400h至C00h）时， V_{OUT} 电压达到其最终值的0.5 LSB范围内的延时。

B.14 主编码跳变毛刺

主编码跳变毛刺是指在DAC寄存器中的编码改变状态时，注入DAC模拟输出中的脉冲能量。它通常以nV-s为单位的毛刺面积指定，并且在数字编码在主进位跳变处改变1LSb时测量。

示例： 011...111变为100...000
或 100...000变为011...111

B.15 数字馈通

数字馈通是指由于器件数字输入引脚耦合而在模拟输出中出现的毛刺。毛刺面积以nV-s为单位，并在数字输入引脚发生满量程变化时测量。

例如：全0变为全1，以及反之。

数字馈通在DAC未被写入输出寄存器时测量。

B.16 -3 dB 带宽

这是导致 V_{OUT} 引脚电压相对于 V_{REF} 引脚的静态值下降-3 dB值时 V_{REF} 引脚上的信号频率。输出会由于梯形电阻网络的RC特性和输出缓冲器的特性而减小。

B.17 电源灵敏度（PSS）

电源灵敏度（Power Supply Sensitivity, PSS）指示电源电压的变化对DAC输出的影响程度。PSS是针对DAC的中等量程输出的 V_{OUT} 变化与 V_{DD} 变化之比。 V_{OUT} 在 V_{DD} 从5.5V变化到2.7V（一步）时测量（ V_{REF} 电压保持恒定），PSS用%/表示，即DAC输出电压变化百分比与 V_{DD} 电压变化百分比之比。

公式B-8: PSS计算

$$PSS = \frac{V_{OUT(@5.5V)} - V_{OUT(@2.7V)}}{\frac{V_{OUT(@5.5V)}}{5.5V}}$$

其中：

PSS用%/表示。

$V_{OUT(@5.5V)}$ = 在 $V_{DD} = 5.5V$ 时测得的DAC输出电压。

$V_{OUT(@2.7V)}$ = 在 $V_{DD} = 2.7V$ 时测得的DAC输出电压。

B.18 电源抑制比（PSRR）

电源抑制比（Power Supply Rejection Ratio, PSRR）指示电源电压变化对于DAC输出的影响程度。PSRR是针对DAC的满量程输出的 V_{OUT} 变化与 V_{DD} 变化之比。 V_{OUT} 在 V_{DD} 变化 $\pm 10\%$ 时测量（ V_{REF} 电压保持恒定），PSRR用dB或 $\mu V/V$ 表示。

B.19 V_{OUT} 温度系数

V_{OUT} 温度系数用于量化梯形电阻网络的电阻比（DAC寄存器编码值）和输出缓冲器由于温度漂移而产生的误差。

B.20 绝对温度系数

绝对温度系数用于量化端到端输出电压（标称输出电压 V_{OUT} ）由于温度漂移而产生的误差。对于DAC，由于输出比率计量方面的原因，该误差通常不是问题。

B.21 噪声频谱密度

噪声频谱密度用于衡量器件内部产生的随机噪声，它以频谱密度（电压/ $\sqrt{\text{Hz}}$ ）的形式指定。噪声频谱密度通过将DAC应用于中等量程值并测量 V_{OUT} 引脚处的噪声测得。噪声频谱密度的测量单位是nV/ $\sqrt{\text{Hz}}$ 。

产品标识体系

欲订货或获取价格、交货等信息，请与我公司生产厂或各销售办事处联系。

部件编号	X ⁽¹⁾	X	- /XX
器件	卷带式	温度范围	封装
器件:	MCP48FEB01: 单通道 8 位 NV DAC 带外部 + 内部参考电压	MCP48FEB02: 双通道 8 位 NV DAC 带外部 + 内部参考电压	MCP48FEB11: 单通道 10 位 NV DAC 带外部 + 内部参考电压
	MCP48FEB12: 双通道 10 位 NV DAC 带外部 + 内部参考电压	MCP48FEB21: 单通道 12 位 NV DAC 带外部 + 内部参考电压	MCP48FEB22: 双通道 12 位 NV DAC 带外部 + 内部参考电压
卷带式:	T = 卷带式 ⁽¹⁾ 空白 = 管式		
温度范围:	E = -40°C 至 +125°C (扩展级)		
封装:	UN = 10 引脚塑封微小外形封装 (MSOP)		
示例:			
a) MCP48FEB01-E/UN: 8 位 V _{OUT} 分辨率, 单通道, 管式, 扩展级温度, 10 引脚 MSOP 封装			
b) MCP48FEB01T-E/UN: 8 位 V _{OUT} 分辨率, 单通道, 卷带式, 扩展级温度, 10 引脚 MSOP 封装			
a) MCP48FEB11-E/UN: 10 位 V _{OUT} 分辨率, 单通道, 管式, 扩展级温度, 10 引脚 MSOP 封装			
b) MCP48FEB11T-E/UN: 10 位 V _{OUT} 分辨率, 单通道, 卷带式, 扩展级温度, 10 引脚 MSOP 封装			
a) MCP48FEB21-E/UN: 12 位 V _{OUT} 分辨率, 单通道, 管式, 扩展级温度, 10 引脚 MSOP 封装			
b) MCP48FEB21T-E/UN: 12 位 V _{OUT} 分辨率, 单通道, 卷带式, 扩展级温度, 10 引脚 MSOP 封装			
a) MCP48FEB22-E/UN: 12 位 V _{OUT} 分辨率, 双通道, 管式, 扩展级温度, 10 引脚 MSOP 封装			
b) MCP48FEB22T-E/UN: 12 位 V _{OUT} 分辨率, 双通道, 卷带式, 扩展级温度, 10 引脚 MSOP 封装			
注 1: 卷带式标识符仅出现在产品目录的器件编号描述中。该标识符用于订货目的, 不会印刷在器件封装上。关于提供卷带式包装的封装选项, 请咨询 Microchip 销售办事处。			

MCP48FEBXX

注:

Microchip 信息

商标

“Microchip”的名称和徽标组合、“M”徽标及其他名称、徽标和品牌均为 Microchip Technology Incorporated 或其关联公司和 / 或子公司在美国和 / 或其他国家或地区的注册商标或商标 (“Microchip 商标”)。有关 Microchip 商标的信息, 可访问 <https://www.microchip.com/en-us/about/legal-information/microchip-trademarks>。

ISBN: 979-8-3371-2385-1

法律声明

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分, 因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物及其提供的信息仅适用于 Microchip 产品, 包括设计、测试以及将 Microchip 产品集成到您的应用中。以其他任何方式使用这些信息都将被视为违反条款。本出版物中的器件应用信息仅为您提供便利, 将来可能会发生更新。您须自行确保应用符合您的规范。如需额外的支持, 请联系当地的 Microchip 销售办事处, 或访问 <https://www.microchip.com/en-us/support/design-help/client-support-services>。

Microchip “按原样”提供这些信息。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保, 包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保, 或针对其使用情况、质量或性能的担保。

在任何情况下, 对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或附带的损失、损害或任何类型的开销, Microchip 概不承担任何责任, 即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内, 对于因这些信息或使用这些信息而产生的所有索赔, Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额 (如有)。

如果将 Microchip 器件用于生命维持和 / 或生命安全应用, 一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时, 会维护和保障 Microchip 免于承担法律责任。除非另外声明, 在 Microchip 知识产权保护下, 不得暗或以其他方式转让任何许可证。

Microchip 器件代码保护功能

请注意以下有关 Microchip 产品代码保护功能的要点:

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信: 在正常使用且符合工作规范的情况下, Microchip 系列产品非常安全。
- Microchip 注重并积极保护其知识产权。严禁任何试图破坏 Microchip 产品代码保护功能的行为, 这种行为可能会违反《数字千年版权法案》(Digital Millennium Copyright Act)
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。