PolarFire® FPGA PCIe®端点 DDR3L/DDR4 存储器控制器数据平面应用笔记

AN4597

简介 (Ask a Question)

Microchip PolarFire® FPGA 包含完全集成的 PCIe 端点和根端口子系统，以及使用收发器物理层接口（Physical Layer Interface，PHY）的优化嵌入式控制器模块。每个 PolarFire 器件都包含两个嵌入式 PCIe®子系统（PCIe Subsystem，PCIESS）模块，这两个模块都可使用 Libero® SoC 软件中的 PCIESS 配置器独立配置，也可以成对配置。

PCIESS 符合 PCI Express 基本规范 3.0 版，支持 Gen1/2 速度。该子系统实现了通过存储器映射的高级单片机总线架构（Advanced Microcontroller Bus Architecture，AMBA®）和高级可扩展接口 4（Advanced eXtensible Interface 4，AXI4）对 PCIe 空间的访问，同时也支持 PCIe 对存储器映射 AXI4 空间的访问。有关更多信息，请参见 PolarFire Family PCI Express User Guide。

DDR 子系统可以满足不同功耗和效率级别的各种应用中的存储器解决方案需求。该子系统可配置为支持 DDR4、DDR3、DDR3L 和 LPDDR3 存储器件。该子系统用于访问 DDR 存储器，适合需要高速数据传输和代码执行的应用。有关 DDR 存储器控制器的更多信息，请参见 PolarFire Family Memory Controller User Guide。

© 2026 Microchip Technology Inc. 及其子公司

目录

简介 1

1. PolarFire FPGA PCIe 端点、DDR3L 和 DDR4 存储器控制器数据平面 3
   - 1.1. 设计要求 3
   - 1.2. 前提条件 4
   - 1.3. 演示设计 4
   - 1.4. 时钟结构 13
   - 1.5. 复位结构 13
   - 1.6. 吞吐量测量 14
   - 1.7. 仿真设计 14

2. 为评估工具包运行 PROGRAM 操作 18

3. 为 Splash 工具包运行 PROGRAM 操作 19

4. 运行演示 21
   - 4.1. 安装 PCIe 演示应用程序 21
   - 4.2. 通过 PCIe 运行演示 22
   - 4.3. 通过 UART 运行演示 33
   - 4.4. 评估工具包吞吐量汇总 42
   - 4.5. Splash 工具包的吞吐量汇总 43

5. 附录 1：DDR3L 和 DDR4 功耗测量 45
   - 5.1. DDR3L 45
   - 5.2. DDR4 45

6. 附录 2：DDR4 配置 46

7. 附录 3：DDR3L 配置 50

8. 附录 4：使用 FlashPro Express 对器件进行编程 51

9. 附录 5：运行 TCL 脚本 53

10. 附录 6：参考资料 54

11. 版本历史 55

Microchip FPGA 支持 57

Microchip 信息 58
   - 商标 58
   - 法律声明 58
   - Microchip 器件代码保护功能 58

© 2026 Microchip Technology Inc. 及其子公司

1. PolarFire FPGA PCIe 端点、DDR3L 和 DDR4 存储器控制器数据平面

(Ask a Question)

本文档介绍了如何使用随附的参考设计来演示 PolarFire FPGA 使用硬核 PCIe 端点、软核 DDR3L 和 DDR4 控制器 IP 进行高速数据传输的能力。PCIe 控制器、内置直接存储器访问（Direct Memory Access，DMA）控制器和 CoreAXI4DMAController IP 用于实现高速大批量数据传输，具体如下：

- PCIe 控制器的内置 DMA 控制器在主机 PC 上的连续/分散聚集存储单元与 DDR3L/DDR4/LSRAM 的连续存储单元之间执行批量数据传输。
- CoreAXI4DMAController 使用 CoreAXI4DMAController 在 DDR3L/DDR4 存储器和 LSRAM 之间执行数据传输。

该演示还展示了如何借助 PCIe BFM 脚本进行预综合设计仿真来发起 PCIe 端点 DMA，以在 LSRAM、DDR3L、DDR4 和 PCIe 之间执行数据传输。

该设计可与运行 Windows® 10.0 或 Linux® 6.8（Ubuntu）的主机 PC 配合使用。使用 Windows 驱动程序工具包（Windows Driver Kit，WDK）平台开发的 Windows 10 内核模式 PCIe 设备驱动程序，可从主机 PC 与 PolarFire PCIe 端点进行交互。该演示提供了一个在主机 PC 上运行的图形用户界面（Graphic User Interface，GUI）应用程序，用于通过 PCIe 接口设置和发起 DMA 事务，在主机 PC 存储器、DDR3L、DDR4 与 PolarFire 评估/Splash 工具包的 LSRAM 存储器之间进行数据交互。

另外还提供了一个用户应用程序接口，供 GUI 与 PCIe 驱动程序进行交互。GUI 还可以通过 UART IF 发起 DDR3L/DDR4 和 LSRAM 之间的 DMA 事务。如果主机 PC PCIe 插槽不可用，则 DDR3L/DDR4 和 LSRAM 之间的 DMA 将通过 UART IF 执行。

PCIe 端点参考设计可以使用以下作业文件进行编程：要使用设计文件随附的作业文件对器件进行编程，请参见附录 4：使用 FlashPro Express 对器件进行编程。

重要：用户可以使用 SmartDebug 调试各项 PCIe 功能：PCIe 通道状态、LTSSM 状态机和其他可用的 PCIe 功能。有关使用 SmartDebug 进行 PCIE 调试的更多信息，请参见 SmartDebug 用户指南。

1.1. 设计要求 (Ask a Question)

下表列出了此演示设计的硬件、软件和 IP 要求。

表 1-1. 设计要求

要求	版本
操作系统	64 位 Windows® 10 Linux® Ubuntu 内核版本 6.8
硬件	
PolarFire®评估工具包（MPF300TS-FCG1152I）或 PolarFire Splash 工具包（MPF300T-1FCG484）	版本 D 或更高版本 版本 2 或更高版本
PCIe®卡缘连接器排线（工具包中未提供）	PCIEC-098-0300-EC-EM-P-85
主机 PC，配备符合 PCIe 规范、通道宽度为 x4 或更高的插槽	—
软件	
Libero® SoC	有关可与此参考设计搭配使用的软件版本，请参见设计文件中提供的 `readme.txt` 文件。

© 2026 Microchip Technology Inc. 及其子公司

重要：本指南中显示的 Libero SmartDesign 和配置屏幕截图仅用于说明目的。打开 Libero 设计可查看最新更新。

1.2. 前提条件 (Ask a Question)

开始之前，请执行以下步骤：

- 如需演示设计文件，请从“AN4597：PolarFire® FPGA PCIe®端点 DDR3L/DDR4 存储器控制器数据平面应用笔记”中的链接下载。
- 从以下位置下载 Libero SoC 并将其安装到主机 PC 上： Libero SoC 文档。

1.3. 演示设计 (Ask a Question)

任何外部 PCIe 根端口或桥接器件均可与 PolarFire FPGA PCIe 端点建立 PCIe 链路，并通过 BAR 空间使用存储器写入（Memory Write，MWr）和存储器读取（Memory Read，MRd）事务层数据包（Transaction Layer Packets，TLP）访问控制寄存器、DDR3L、DDR4 和结构存储器。PCIe 端点将这些 MWr 和 MRd TLP 转换为 AXI4 主接口事务，并通过 CoreAXI4Interconnect IP 访问结构存储器。

主机 PC 上的 PCIe 演示应用程序通过 PCIe 设备驱动程序（Windows 10 和 Linux 内核版本 6.8）发起 DMA 传输。主机 PC 上的驱动程序分配存储器，并通过 BAR0 访问 PCIe DMA 寄存器，发起 PolarFire PCIe 控制器中的 DMA 引擎。PCIe 控制器具有以下两个独立的 DMA 引擎：

- DMA Engine0：执行从主机 PC 存储器到 DDR3L/DDR4/LSRAM 的 DMA 操作
- DMA Engine1：执行从 DDR3L/DDR4/LSRAM 到主机 PC 存储器的 DMA 操作

重要：对于 SGDMA 类型的 DMA 操作，PCIe 驱动程序会找到可用的存储单元，并为各存储单元创建缓冲区描述符链。它还会配置 PCIe DMA 以支持 SGDMA，并设置第一个缓冲区描述符的基址。

PCIe 演示应用程序发起 CoreAXI4DMA 控制器 IP，以执行 DDR3L 存储器和 LSRAM 之间的 DMA 操作。以下是 CoreAXI4DMA 控制器 IP 的两个通道：

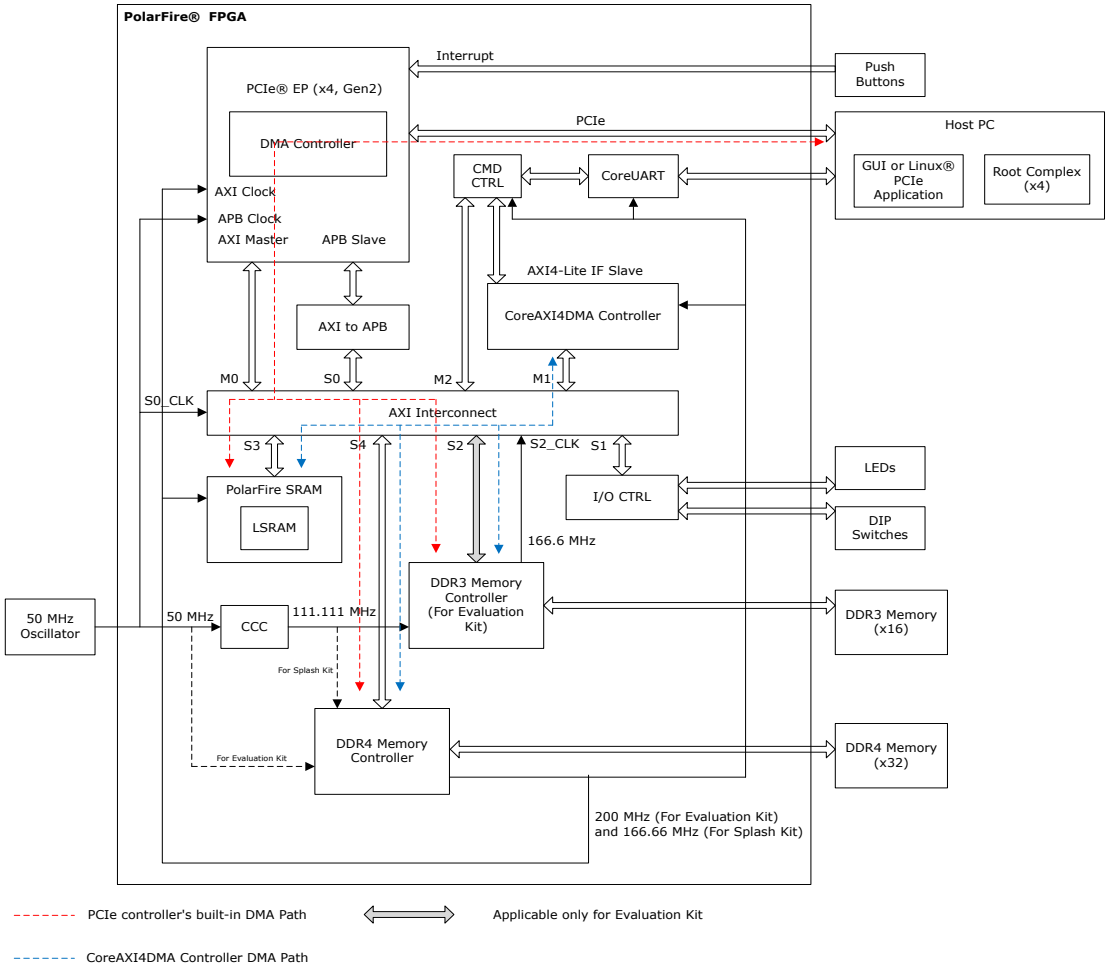
- Channel0：执行从 DDR3L 到 DDR4、从 DDR3L 到 LSRAM，以及从 DDR4 到 LSRAM 的 DMA 操作
- Channel1：执行从 DDR4 到 DDR3L、从 LSRAM 到 DDR3L，以及从 LSRAM 到 DDR4 的 DMA 操作

当 PCIe 边缘连接器连接到主机 PC PCIe 插槽时，主机 PC 应用程序会根据 DMA 类型通过 BAR2 发起 CoreAXI4DMA 控制器 IP。主机 PC 应用程序还会通过 UART IF 发起 CoreAXI4DMA 控制器 IP。提供此选项是为了在 PolarFire 评估或 Splash 工具包未连接到主机 PC PCIe 插槽时，对 DDR 吞吐量进行测试。

© 2026 Microchip Technology Inc. 及其子公司

下图显示了 PCIe 端点演示设计的顶层框图。

图 1-1. PCIe®演示设计顶层框图



1.3.1. 设计数据流 (Ask a Question)

该演示设计会执行以下控制平面操作：

- LED 闪烁：主机 PC 驱动程序对端点执行 BAR2 MWr 操作。PCIe 控制器在 AXI_IO_CTRL 逻辑上产生 AXI 写入事务以使 LED 闪烁。
- DIP 开关读取：主机 PC 驱动程序对端点执行 BAR2 MRd。PCIe 控制器在 AXI_IO_CTRL 逻辑上产生 AXI 读取事务以读取开关状态。
- MSI 中断计数：按下板上按钮时，PCIe 端点会向主机 PC 发送中断，主机 PC 驱动程序会使相应的中断计数器递增。
- 存储器读/写：主机 PC 驱动程序将 ATR2 转换地址配置为 DDR3L/DDR4/LSRAM 基址。它对 DDR3L/DDR4/LSRAM 存储器执行 BAR2 存储器读/写事务。

该演示设计支持以下类型的 DMA 操作。

- 连续 DMA 操作
- SGDMA 操作
- CoreDMA 操作

© 2026 Microchip Technology Inc. 及其子公司

1.3.1.1. 连续 DMA 操作 (Ask a Question)

当 SGDMA 模式被禁止时，PCIe DMA0/DMA1 控制器执行连续存储单元之间的 DMA 操作。以下各部分介绍了 DMA0 和 DMA1 的数据流。

1.3.1.1.1. DMA0——主机 PC 存储器到 DDR3L/DDR4/LSRAM (Ask a Question)

PCIe DMA Engine0 按照以下步骤，执行从主机 PC 存储器到 DDR3L/DDR4/LSRAM 存储器的连续 DMA 操作：

1. PolarFire_PCIe_GUI 应用程序通过 PCIe 链路设置 DMA 控制器，包括 DMA 源和目标、地址和大小。
2. DMA 控制器向 PCIe 核发起读取事务。
3. PCIe 核向主机 PC 发送 MRd TLP。
4. 主机 PC 向 PCIe 链路返回完成（CplD）TLP。
5. 返回的数据经由 PCIe AXI 主接口写入 DDR3L/DDR4/LSRAM 存储器。
6. DMA 控制器重复执行此过程（从步骤 2 到 5），直到完成指定大小的 DMA 数据传输。
7. DMA 控制器向主机 PC 发送 MSI0 中断。主机 PC 上的驱动程序检测到该中断后，读取 DMA 状态和完成 DMA 事务所耗用的时钟周期数，并将这些信息传递到 PolarFire_PCIe_GUI 应用程序。

1.3.1.1.2. DMA1——DDR3L/DDR4/LSRAM 到主机 PC 存储器 (Ask a Question)

PCIe DMA Engine1 按照以下步骤，执行从 DDR3L/DDR4/LSRAM 存储器到主机 PC 存储器的连续 DMA 操作：

1. PolarFire_PCIe_GUI 应用程序通过 PCIe 链路设置 DMA 控制器，包括 DMA 源和目标、地址和大小。
2. DMA 控制器发起 AXI 突发读取事务，从 DDR3L/DDR4/LSRAM 存储器读取数据。
3. DMA 控制器使用读取的数据向 PCIe 核发起写入事务。PCIe 核向主机 PC 发送 MWr TLP。
4. DMA 控制器重复执行此过程（步骤 2 和 3），直到完成指定大小的 DMA 数据传输。
5. DMA 控制器向主机 PC 发送 MSI1 中断。主机 PC 上的驱动程序检测到该中断后，读取 DMA 状态和完成 DMA 事务所耗用的时钟周期数，并将这些信息传递到 PolarFire_PCIe_GUI 应用程序。

1.3.1.2. SGDMA 操作 (Ask a Question)

启用 SGDMA 模式后，PCIe DMA0/DMA1 在主机 PC 的分散存储单元与 PolarFire 的连续存储器之间执行 DMA 操作。

1.3.1.2.1. 主机 PC 存储器到 DDR3L/DDR4 (Ask a Question)

PCIe DMA Engine0 按照下图所示执行从主机 PC 存储器到 DDR3L/DDR4 存储器的 DMA 操作。

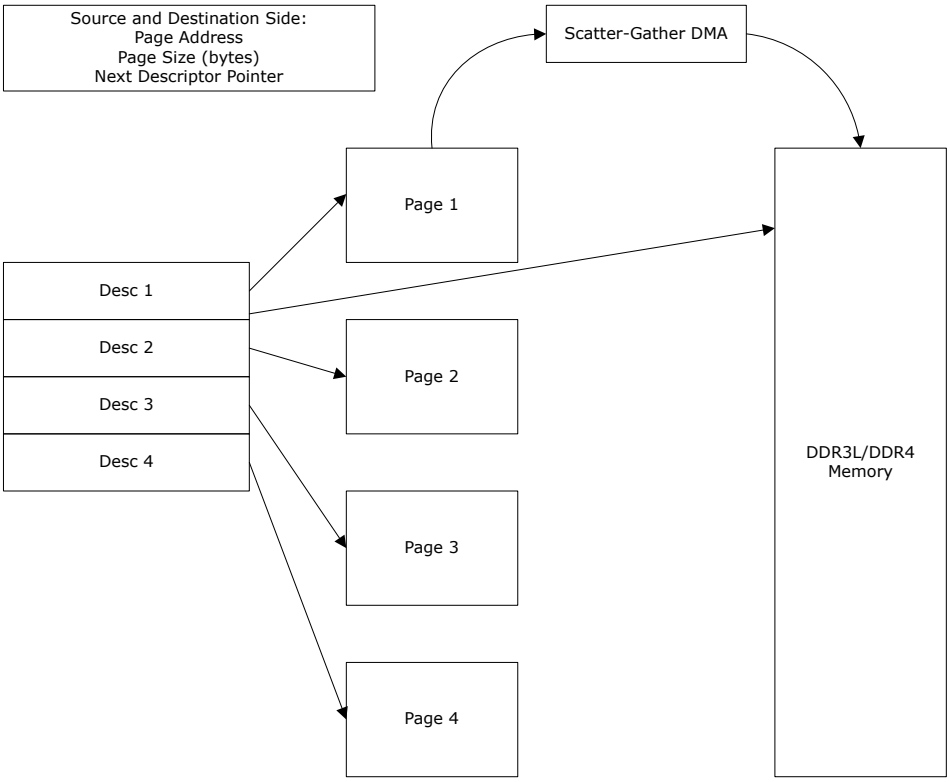
以下步骤介绍了 PCIe DMA0 的 SGDMA 操作：

1. PolarFire_PCIe_GUI 应用程序向 PCIe 驱动程序请求 SG DMA。主机 PC 上的驱动程序分配可用的存储单元，并创建缓冲区描述符，其中包含分散存储单元的地址和大小。
2. 目标 DDR3L/DDR4 存储器被视为连续存储器。驱动程序使用第一个缓冲区描述符的地址配置 PCIe DMA0 并发起 DMA 操作。
3. DMA 控制器使用缓冲区描述符地址向 PCIe 核发起读取事务。
4. PCIe 核向主机 PC 发送 MRd TLP。主机 PC 向 PCIe 链路返回完成（CplD）TLP。
5. DMA 控制器提取这些缓冲区描述符，并使用描述符中的主机 PC 存储单元地址向 PCIe 核发起读取事务。
6. PCIe 核向主机 PC 发送 MRd TLP。主机 PC 向 PCIe 链路返回 CplD TLP。
7. 返回的数据经由 PCIe AXI 主接口写入 DDR3L/DDR4 存储器。
8. DMA 控制器重复执行此过程（从步骤 3 到 7），直到完成指定大小的 DMA 数据传输。

© 2026 Microchip Technology Inc. 及其子公司

9. DMA 控制器向主机 PC 发送 MSI0 中断。主机 PC 上的驱动程序检测到该中断后，读取 DMA 状态和完成 DMA 事务所耗用的时钟周期数，并将这些信息传递到 PolarFire_PCIe_GUI 应用程序。

图 1-2. DMA0——SG DMA 操作示例



1.3.1.2.2. DDR3L/DDR4 到主机 PC 存储器 (Ask a Question)

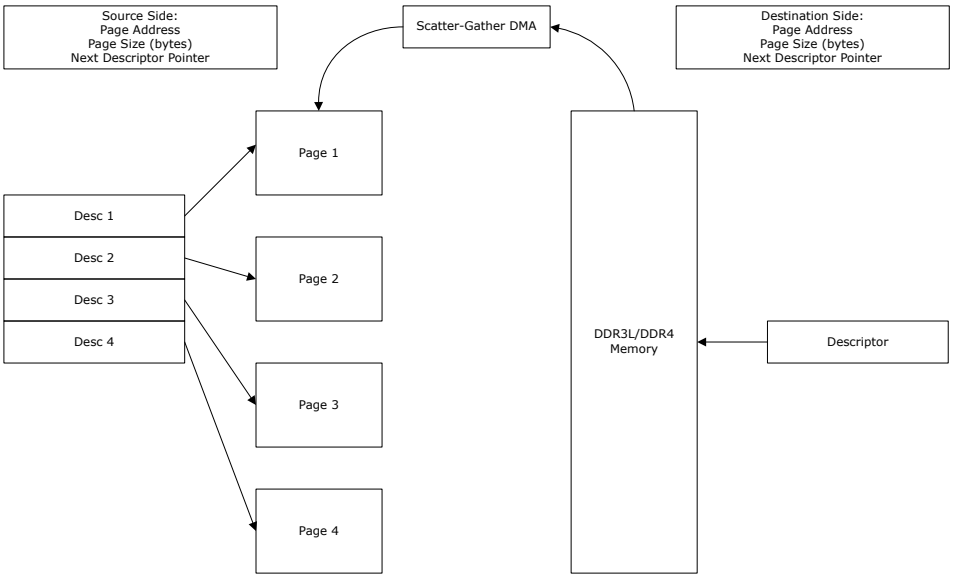
PCIe DMA Engine1 执行从 DDR3L/DDR4 存储器到主机 PC 存储器的 DMA 操作（图 1-3）。

以下步骤介绍了 PCIe DMA1 的 SGDMA 操作：

1. PolarFire_PCIe_GUI 应用程序向 PCIe 驱动程序请求 SG DMA。主机 PC 上的驱动程序分配可用的存储单元，并创建缓冲区描述符，其中包含分散存储单元的地址和大小。
2. 源 DDR3L/DDR4 存储器被视为连续存储器。在 LSRAM 中创建单个缓冲区描述符，其中包含 DDR3L/DDR4 存储器的基址。LSRAM 基址会提供给 DMA 控制器，作为源描述符地址。
3. 驱动程序使用第一个主机 PC 目标缓冲区描述符的地址配置 PCIe DMA1 并发起 DMA 操作。
4. DMA 控制器使用缓冲区描述符地址向 PCIe 核发起读取事务。
5. PCIe 核向主机 PC 发送 MRd TLP。主机 PC 向 PCIe 链路返回 CplD TLP。
6. DMA 控制器提取这些缓冲区描述符，并发起 AXI 突发读取事务，从 DDR3L/DDR4 存储器读取数据。
7. 借助此读取数据，DMA 控制器使用描述符中的主机 PC 存储单元地址向 PCIe 核发起写入事务。
8. PCIe 核向主机 PC 发送 MWr TLP。
9. DMA 控制器重复执行此过程（从步骤 4 到 8），直到完成指定大小的 DMA 数据传输。
10. DMA 控制器向主机 PC 发送 MSI1 中断。主机 PC 上的驱动程序检测到该中断后，读取 DMA 状态和完成 DMA 事务所耗用的时钟周期数，并将这些信息传递到 PolarFire_PCIe_GUI 应用程序。

© 2026 Microchip Technology Inc. 及其子公司

图 1-3. DMA1——SG DMA 操作示例

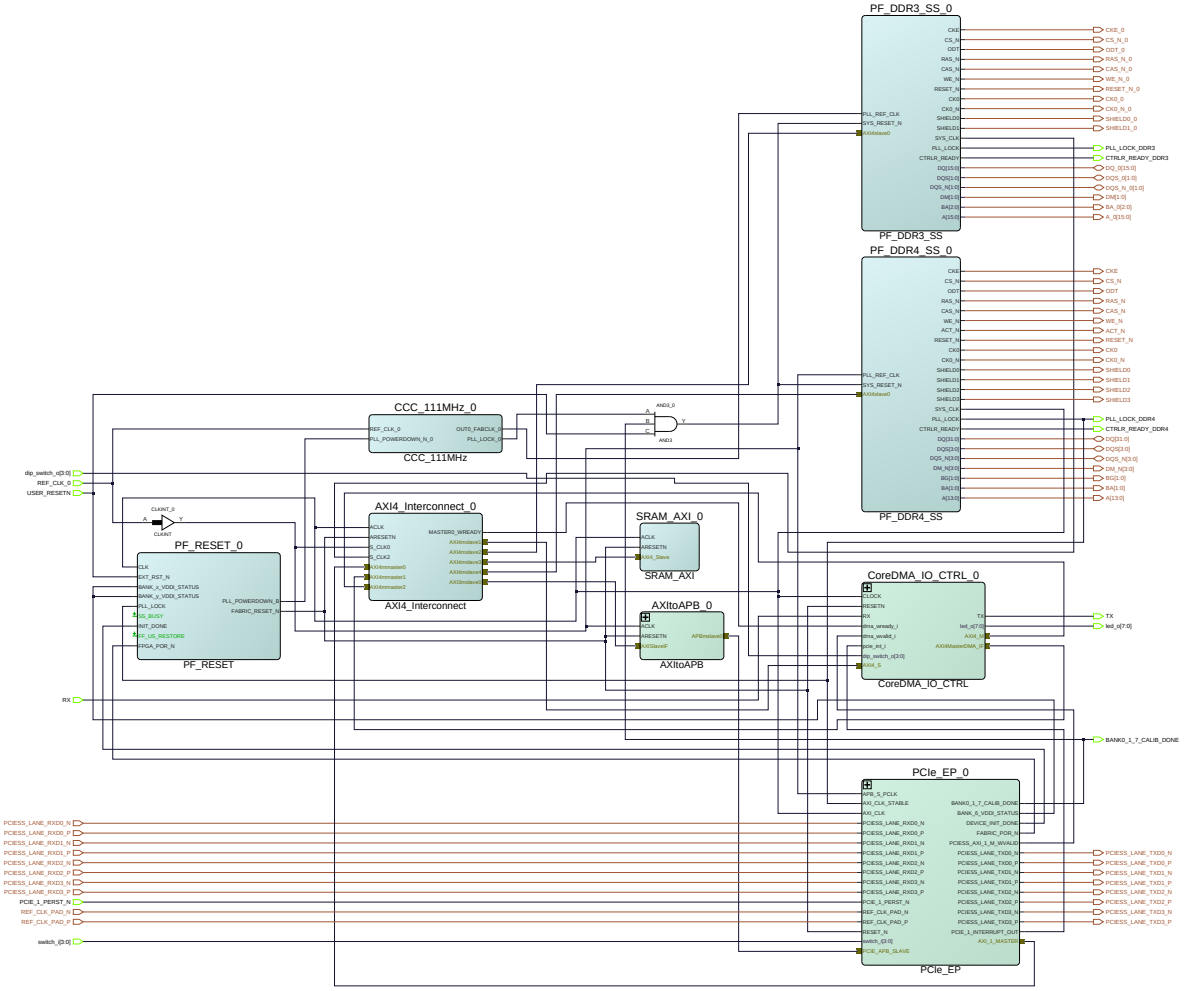


© 2026 Microchip Technology Inc. 及其子公司

1.3.2. 设计实现 (Ask a Question)

下图显示了 PCIe 端点参考设计在 Libero SoC 软件中的顶层设计实现。

图 1-4. PCIe®端点参考设计



顶层设计包含以下 SmartDesign 组件、存储器控制器子系统和 AXI4Interconnect IP：

- PCIe EP 子系统
- CoreDMA 和 UART 子系统
- AXItoAPB
- DDR3L 子系统
- DDR4 子系统
- AXI LSRAM
- AXI4Interconnect IP

1.3.2.1. PCIe EP 子系统 (Ask a Question)

PCIe_EP SmartDesign 实现 PCIe 端点及其时钟方案，如下图所示。它还包含 sw_debounce 模块，用于抑制板上按钮产生的抖动，并向 PCIe 控制器中断线生成脉冲。

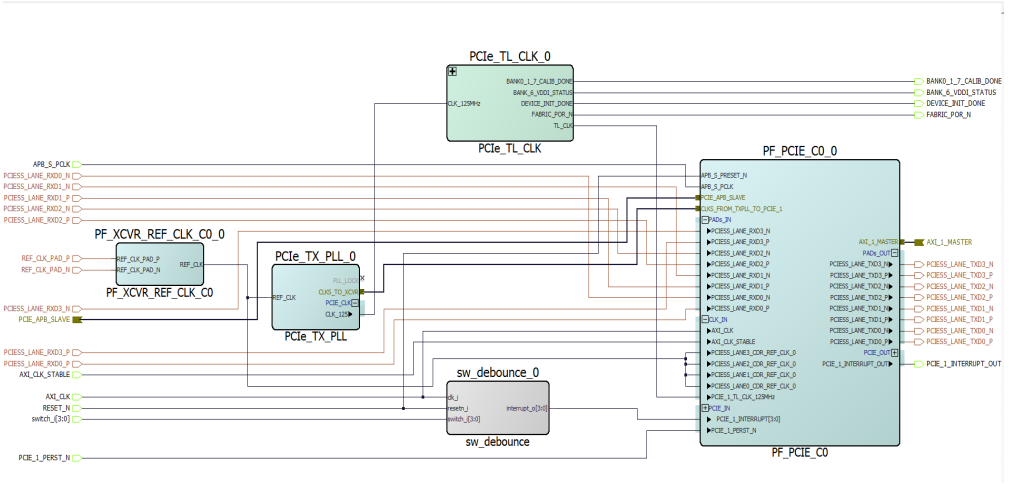
© 2026 Microchip Technology Inc. 及其子公司

PCIE 核配置为端点，并采用最大链路速度和最大链路宽度，即 Gen2（5.0 Gbps）链路速度和× 4 链路宽度。配置器中的 **Simulation Level**（仿真级别）设置为 **BFM**，以便使用 PCIe BFM 脚本对设计进行仿真。无论链路宽度或通道速率如何，PCIe 结构接口始终保持不变。设计使能 APB 接口，以访问 PCIe DMA 和地址转换寄存器。

以下两个 BAR 配置为 64 位：

- BAR0：通过 PCIe 控制器的 APB 接口访问 PCIe DMA、地址转换和中断寄存器。与 BAR0 关联的地址转换寄存器配置为将 BAR0 地址转换为 PCIe APB IF 基址（0x0300_0000）。
- BAR2：访问结构控制寄存器以及 AXI LSRAM、DDR3L 和 DDR4 存储器。默认情况下，与 BAR2 关联的地址转换寄存器配置为访问结构控制寄存器（0x1000_0000）。要访问 LSRAM、DDR3L 和 DDR4 存储器，主机 PC 上的驱动程序会经由 BAR0，通过 PCIe APB IF 将 BAR2 地址转换寄存器（TRSL_ADDR）配置为 LSRAM（0x3000_0000）/DDR3L（0x2000_0000）/DDR4（0x4000_0000）存储器基址。

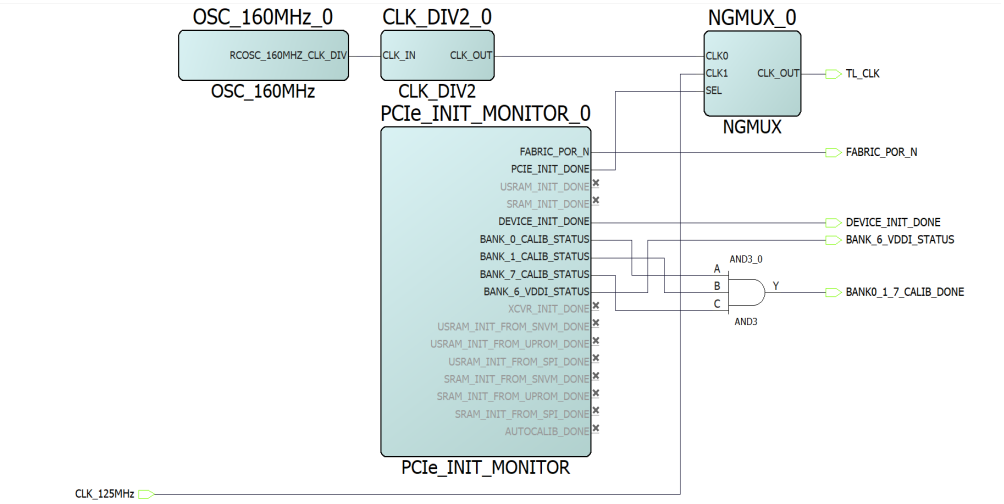
图 1-5. PCIe_EP SmartDesign



PCIe_TL_CLK SmartDesign 用于为 PolarFire 器件提供 PCIe TL CLK，请参见图 1-6。PCIe TL CLK 必须连接到 Tx PLL 的 CLK_125 MHz。在 PolarFire 器件中，TL CLK 仅在 PCIe 初始化完成后可用。片上 160 MHz 振荡器分频产生 80 MHz 时钟，用于在 PCIe 初始化期间驱动 TL CLK。PCIe 初始化完成后，NGMUX 用于将此时钟切换到所需的 CLK_125 MHz。PF 初始化监视器 IP 的 BANK 0、BANK 1 和 BANK 7 校准状态信号用于生成 CALIB_DONE 信号，作为 DDR3L/DDR4 复位信号。

© 2026 Microchip Technology Inc. 及其子公司

图 1-6. PCIe_TL_CLK SmartDesign



1.3.2.2. CoreDMA 和 UART 子系统 (Ask a Question)

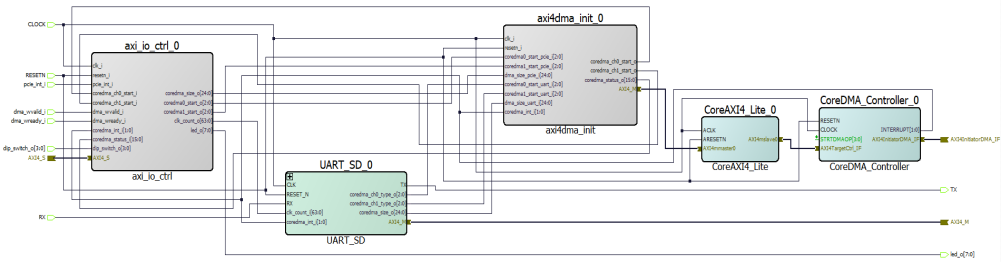
CoreDMA_IO_CTRL SmartDesign 实现结构寄存器、CoreDMA4DMA IP 初始化和 UART_SD，如下图所示。

axi4dma_init 逻辑通过 AXI4Lite 接口启动 CoreDMA，以根据 GUI 发出的命令执行 DMA 操作。axi_io_ctrl 模块接收来自 PCIe BAR 空间的命令，并控制 IO 或 axi4dma_init 逻辑。

CoreAXI4DMAController IP 配置为 64 位 AXI4 数据宽度，并设置为针对 descriptor0 和 descriptor1 生成中断。Descriptor0 用于从 DDR3L 到 DDR4、从 DDR3L 到 LSRAM 以及从 DDR4 到 LSRAM 的 DMA 操作，descriptor1 用于从 DDR4 到 DDR3L、从 LSRAM 到 DDR3L 以及从 LSRAM 到 DDR4 的 DMA 操作。

下图显示了 CoreDMA_IO_CTRL SmartDesign。

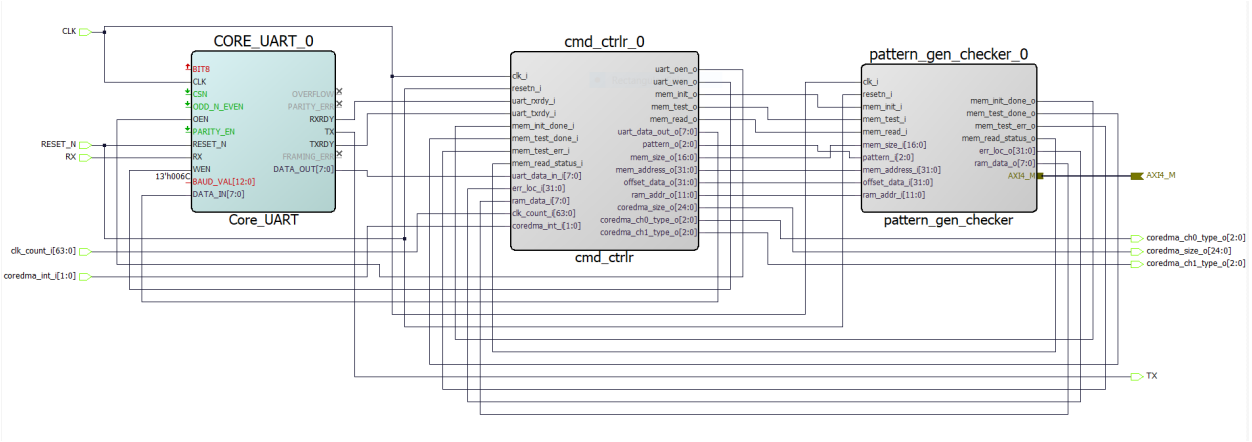
图 1-7. CoreDMA_IO_CTRL SmartDesign



UART_SD SmartDesign 实现与 UART IF 通信所需的逻辑，如下图所示。cmd_ctrlr 模块接收来自 UART 的命令，并触发相应逻辑以执行 CoreDMA/DDR 存储器初始化。pattern_gen_checker 模块使用指定的模式初始化 DDR 存储器，并与指定的模式进行比较。

© 2026 Microchip Technology Inc. 及其子公司

图 1-8. UART SmartDesign



1.3.2.3. 存储器控制器子系统 (Ask a Question)

本节介绍各种存储器控制器子系统，例如 DDR3L、DDR4 和 AXI LSRAM。

1.3.2.3.1. DDR3L (Ask a Question)

DDR3L 子系统配置为通过 AXI4 接口访问 16 位 DDR3L 存储器。采用“PolarFire 评估工具包 DDR3L 存储器”预设来配置 DDR3L 配置器中的所有存储器初始化和时序参数。

重要：

- DDR3L 仅适用于评估工具包演示设计。
- 有关版本 E 或更高版本工具包 DDR3L 配置的更多信息（MT41K512M8DA-107: P），请参见“*AN4997：PolarFire® FPGA Building a Mi-V Processor Subsystem*”的“*Appendix 3 - DDR3 Configuration*”。

1.3.2.3.2. DDR4 (Ask a Question)

DDR4 子系统配置为通过 AXI4 64 位接口访问 32 位 DDR4 存储器。DDR4 存储器初始化和时序参数按照 PolarFire 评估/Splash 工具包上的 DDR4 存储器进行配置。有关 DDR4 子系统配置的更多信息，请参见附录 2：DDR4 配置。

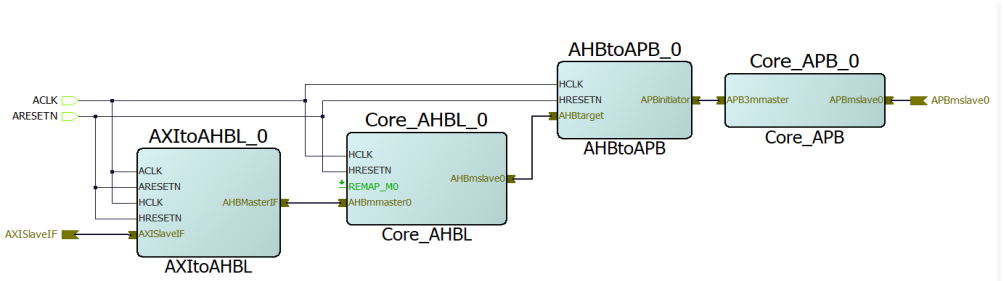
1.3.2.3.3. AXI LSRAM (Ask a Question)

设计中的 AXI LSRAM 配置为 4 KB。如果对 LSRAM 执行超过 4 KB 的 DMA 操作，则这 4 KB 的内容会被覆盖。提供此选项是为了使用更大的 DMA 大小测试吞吐性能。

1.3.2.4. AXI 到 APB SmartDesign (Ask a Question)

AXI_to_APB SmartDesign 使用不同的 IP 核实现 AXI 到 APB 的转换，如下图所示。AXI 到 APB IF 用于通过 PCIe APB IF 从 BAR0 空间访问 PCIe 控制寄存器。

图 1-9. AXI_to_APB SmartDesign



© 2026 Microchip Technology Inc. 及其子公司

1.3.2.5. CoreAXI4Interconnect IP (Ask a Question)

CoreAXI4Interconnect IP 配置了以下发起端口和目标端口：

- Initiator0：PCIe
- Initiator1：CoreAXI4DMAController IP
- Initiator2：模式发生器和校验器逻辑（pattern_gen_checker 模块）
- Target0：AXItoAPB 桥接（0x0000_0000 至 0x0FFF_FFFF）
- Target1：AXI 目标结构寄存器（0x1000_0000 至 0x1FFF_FFFF）
- Target2：DDR3L 子系统（0x2000_0000 至 0x2FFF_FFFF）（Splash 工具包中未使能）
- Target3：AXI4 LSRAM（0x3000_0000 至 0x3FFF_FFFF）
- Target4：DDR4 子系统（0x4000_0000 至 0x4FFF_FFFF）

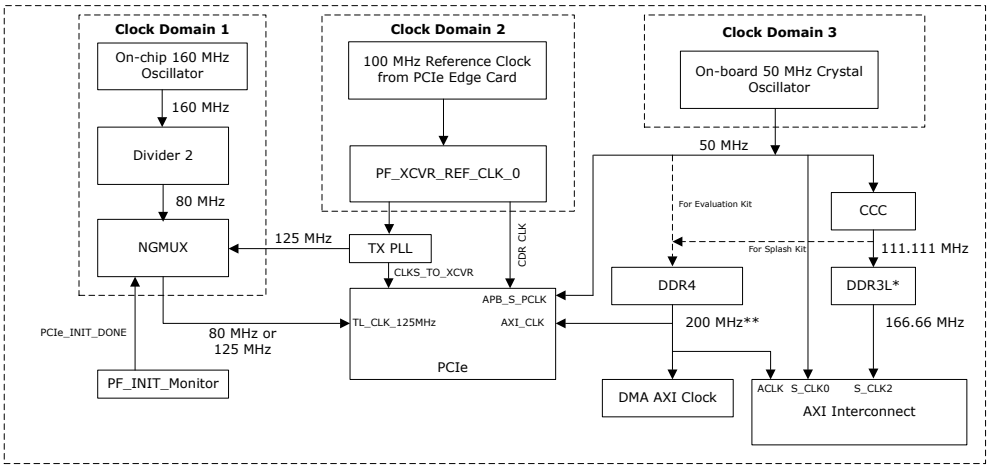
Slave0 配置为将 AXI4 事务转换为 AXI3 事务。

1.4. 时钟结构 (Ask a Question)

下图显示了 PCIe 端点参考设计的时钟结构。

- 时钟域 1：生成 PCIe TL_CLK。上电时使用 80 MHz 时钟，并在 PCIe 初始化完成后切换到 125 MHz。
- 时钟域 2：为 PCIe 生成 CDR 参考时钟和 XCVR 时钟。
- 时钟域 3：为 PCIe APB、DDR4 PLL 参考时钟和 CCC 参考时钟生成 50 MHz 时钟。DDR4 子系统为结构 AXI 接口逻辑生成 200 MHz（为 Splash 工具包生成 166.66 MHz）时钟。DDR3L 子系统生成 166.66 MHz 时钟，并连接到 AXI 互连 target2 CDC 接口。

图 1-10. 时钟结构



*: DDR3L is applicable only for Evaluation demo design.
On Splash Kit, 166.66 MHz is used

1.5. 复位结构 (Ask a Question)

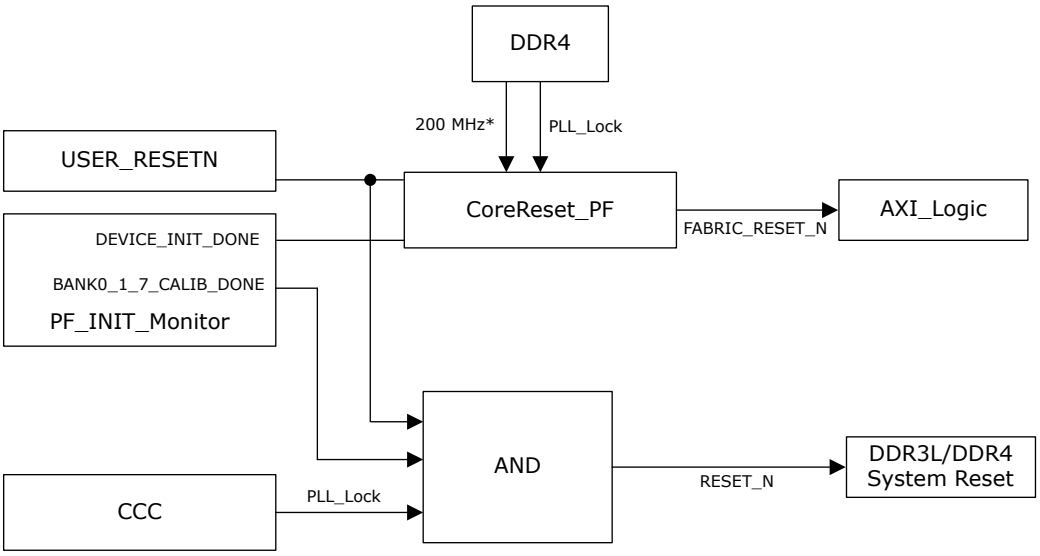
CoreReset_PF 将外部 USER_RESETN（PolarFire 评估工具包上的 SW6 和 PolarFire Splash 工具包上的 SW2）同步至 DDR4 系统时钟（200 MHz）域，并生成 FABRIC_RESET_N，用于驱动结构 AXI 接口逻辑。CoreReset_PF 使用 DEVICE_INIT_DONE 信号，该信号在器件初始化完成时置为有效。有关器件初始化的更多信息，请参见 PolarFire Family Power-Up and Resets User Guide。

有关 CoreReset_PF IP 核的更多信息，请参见 Libero IP 目录中的 *CoreReset_PF 手册*。

DDR3L/DDR4 子系统无需同步复位，因为它具有复位同步逻辑。下图显示了参考设计中的复位结构。

© 2026 Microchip Technology Inc. 及其子公司

图 1-11. 复位结构



*: On Splash Kit, 166.66 MHz is used.

1.6. 吞吐量测量 (Ask a Question)

结构逻辑使用 32 位计数器统计每次 DMA 传输所经历的时钟周期数。主机 PC 应用程序在发起 DMA 传输时启动这些计数器，结构逻辑在 DMA 传输结束时停止这些计数器。DMA 引擎在 DMA 传输结束时向主机 PC 发送中断，主机 PC 应用程序读取计数器并按以下公式计算吞吐量：

吞吐量 = 传输大小（字节）× 时钟频率/传输所需的时钟周期数

吞吐量包括 AXI、PCIe 和 DMA 控制器事务产生的全部开销。

1.7. 仿真设计 (Ask a Question)

开始之前，请执行以下步骤：

1. 在 **Project**（项目）菜单中启动 Libero SoC，然后单击 **Open Project**（打开项目）。
2. 浏览至 `mpf_an4597_df/HW/Eval_Kit` 或 `mpf_an4597_df/HW/Splash_Kit`。要进行仿真，请使用提供的 TCL 脚本创建 Libero 项目。要创建 Libero 项目，请参见附录 4：运行 TCL 脚本部分。

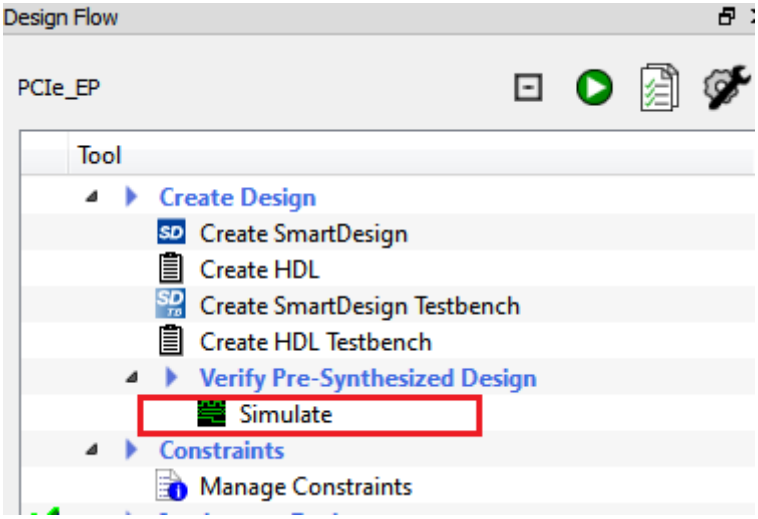
PCIe BFM 通过发起 AXI 突发事务，在 PCIe 和 DDR3L、DDR4 和 LSRAM 存储器之间执行 1 KB DMA 操作。PCIe BFM 仿真模型用一个简单的 BFM 替代完整的 PCIe 端点接口，该 BFM 可以通过 AXI 接口发送写入事务和读取事务。这些事务由脚本文件（`.bfm`）驱动，并可轻松仿真连接到 PCIe 接口的 FPGA 设计。有关 BFM 命令的更多信息，请参见 PolarFire Family PCI Express User Guide。Micron DDR3L 和 DDR4 存储器模型在 Testbench 中实例化，用于仿真 DDR3L 和 DDR4 存储器控制器。

重要：在“Design Flow”（设计流程）选项卡中选择“system verilog”，因为 Micron 提供的存储器模型采用 system verilog 编写。

在 **Project settings（项目设置）** > **Design Flow** 选项卡中，双击 **“Verify Pre-Synthesized Design”（验证预综合设计）下的“Simulate”（仿真）**来仿真设计。使用 ModelSim 工具完成仿真需要 10 到 15 分钟，如下图所示。

© 2026 Microchip Technology Inc. 及其子公司

图 1-12. 仿真设计



© 2026 Microchip Technology Inc. 及其子公司

1.7.1. 仿真流程 (Ask a Question)

以下步骤介绍 PCIe BFM 仿真流程。

1. 开始时，NSYSREST 信号将所有组件复位。
2. DDR3L 和 DDR4 存储器控制器初始化 DDR3L/DDR4 存储器并释放 CTRLR_READY。
3. PCIe BFM 开始执行 BFM 脚本

   ```
   PCIex4_PCIex4_0_PF_PCIE_PCIE_1_user.bfm。
   ```

4. PCIe EndPoint AXI4 主接口根据 .bfm 脚本，通过 CoreAXI4Interconnect 向 SRAM_AXI_0、DDR3L 和 DDR4 发起写入和读取突发事务。
5. 18 µs 后，仿真完成。对于**评估工具包**，屏幕上会显示 **PCIE1 BFM Simulation Complete – 282 Instructions – NO ERRORS**（PCIE1 BFM 仿真完成——282 条指令——无错误）消息。
6. 15 µs 后，仿真完成。对于 **Splash 工具包**，会显示 **PCIE1 BFM Simulation Complete – 272 Instructions – NO ERRORS**（PCIE1 BFM 仿真完成——272 条指令——无错误）消息。ModelSim® 日志（transcript）窗口会显示 BFM 命令

重要：

- 运行脚本时，默认以批处理模式运行仿真，因此完成设计构建和编译流程需要更多时间。如果用户不想运行仿真，可以在 script.tcl 中注释掉仿真流程命令。
- 对于评估工具包仿真，用户可能会在仿真窗口中看到错误，用户可以忽略这些错误。
- 在仿真层次结构中，用户可能会看到加密预编译库缺失的警告。这些警告不会影响仿真；请忽略这些警告，并继续进行仿真。

ModelSim 日志窗口会显示 BFM 命令执行消息。

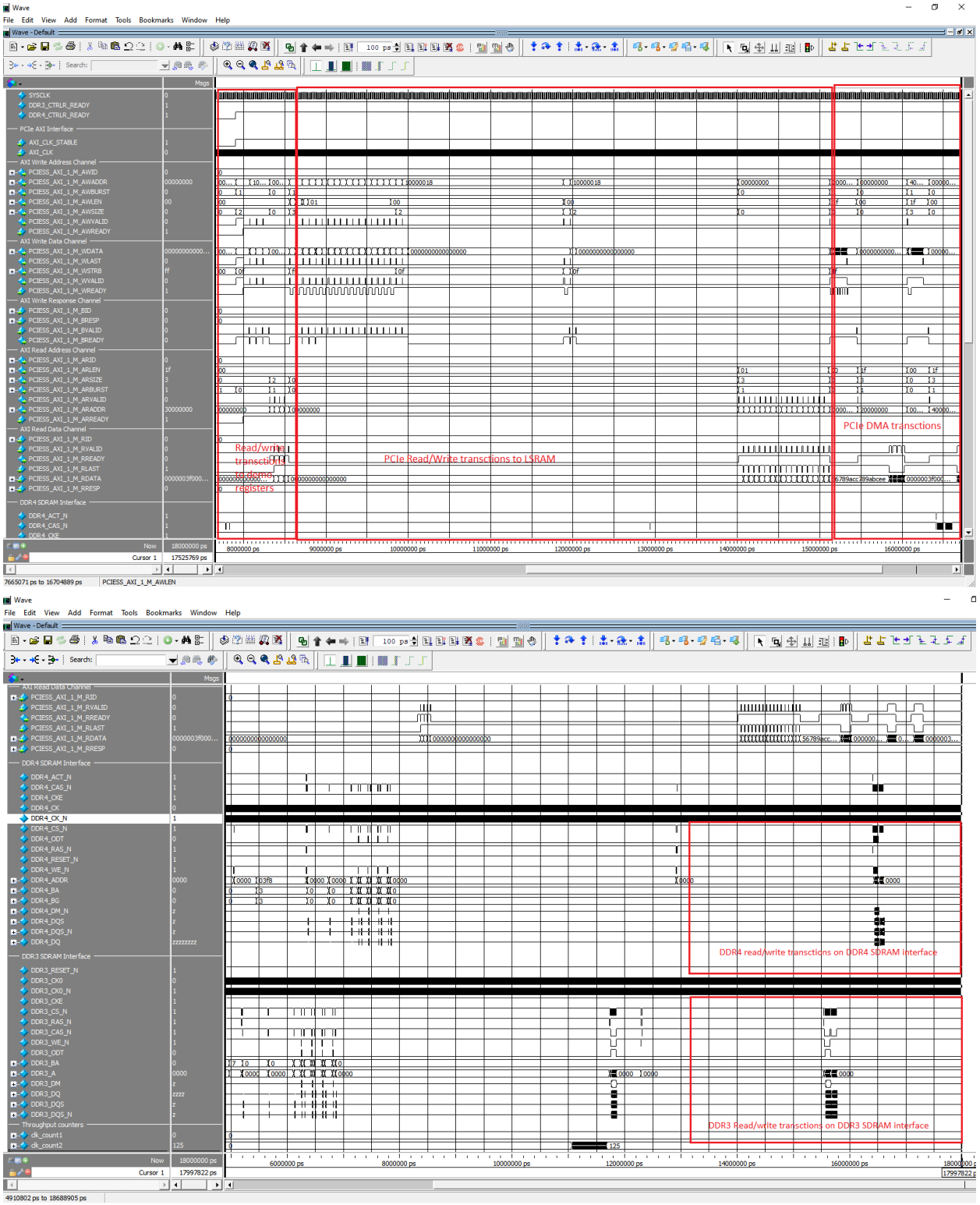
图 1-13. 仿真日志窗口

```
# SFM: Data Read 300000a8 0000002b0000002c at 17686.250000ns
# SFM: Data Read 300000b0 0000002d0000002e at 17691.250000ns
# SFM: Data Read 300000b8 0000002f00000030 at 17696.250000ns
# SFM: Data Read 300000c0 0000003100000032 at 17701.250000ns
# SFM: Data Read 300000c8 0000003300000034 at 17706.250000ns
# SFM: Data Read 300000d0 0000003500000036 at 17711.250000ns
# SFM: Data Read 300000d8 0000003700000038 at 17716.250000ns
# SFM: Data Read 300000e0 000000390000003a at 17721.250000ns
# ---------------------------------------------------------------------------
# ----DMA TRANSFER DONE(FROM FABRIC ADDRESS SPACE TO PCIe ADDRESS SPACE)----
# ---------------------------------------------------------------------------
# SFM: Data Read 300000e8 0000003b0000003c at 17726.250000ns
# BFM:204:wait 1  starting at 17731 ns
# SFM: Data Read 300000f0 0000003d0000003e at 17731.250000ns
# BFM: ****************************End of PCIe BFM Simulation**********************************
# BFM:207:return
# SFM: Data Read 300000f8 0000003f00000040 at 17736.250000ns
###########################################################################
#
# PCIE1 BFM Simulation Complete - 282 Instructions - NO ERRORS
#
###########################################################################
#
```


© 2026 Microchip Technology Inc. 及其子公司

下图显示了实际的 **Waveform**（波形）窗口，其中展示了使用 BFM 执行数据写入和读取的时序。

图 1-14. 仿真波形窗口



© 2026 Microchip Technology Inc. 及其子公司

2. 为评估工具包运行 PROGRAM 操作 (Ask a Question)

生成比特流后，必须对 PolarFire 器件进行编程。要对 PolarFire 器件进行编程，请执行以下步骤：

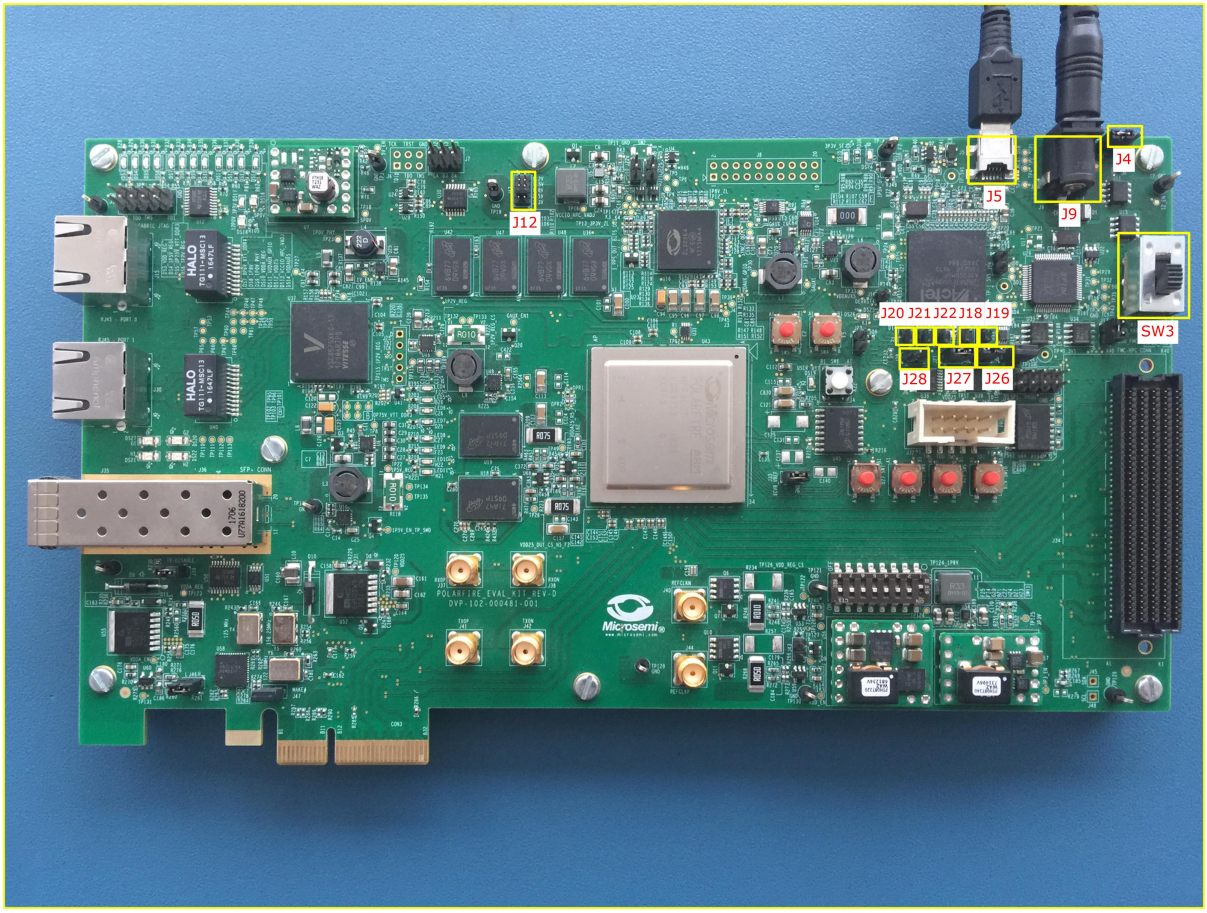
1. 确保电路板上的跳线设置与下表所列设置相同。

表 2-1. 跳线设置

跳线	说明
J18、J19、J20、J21 和 J22	短接引脚 2 和 3，通过 FTDI 对 PolarFire® FPGA 进行编程
J28	短接引脚 1 和 2，通过板上 FlashPro5 进行编程
J26	短接引脚 1 和 2，通过 FTDI SPI 进行编程
J27	短接引脚 1 和 2，通过 FTDI SPI 进行编程
J4	短接引脚 1 和 2，通过开关 SW3 手动开关电源
J12	短接引脚 3 和 4，设置为 2.5V 电压

2. 将电源线连接到板上的 J9 连接器。
3. 使用 USB 线缆将主机 PC 连接到板上的 J5（FTDI 端口）。
4. 使用 SW3 滑动开关为电路板上电。

图 2-1. 评估工具包电路板设置



5. 在 **Libero > Design Flow** 选项卡中，双击 **Run PROGRAM Action**（运行 PROGRAM 操作）。

© 2026 Microchip Technology Inc. 及其子公司

3. 为 Splash 工具包运行 PROGRAM 操作 (Ask a Question)

生成比特流后，必须对 PolarFire 器件进行编程。要对 PolarFire 器件进行编程，请执行以下步骤：

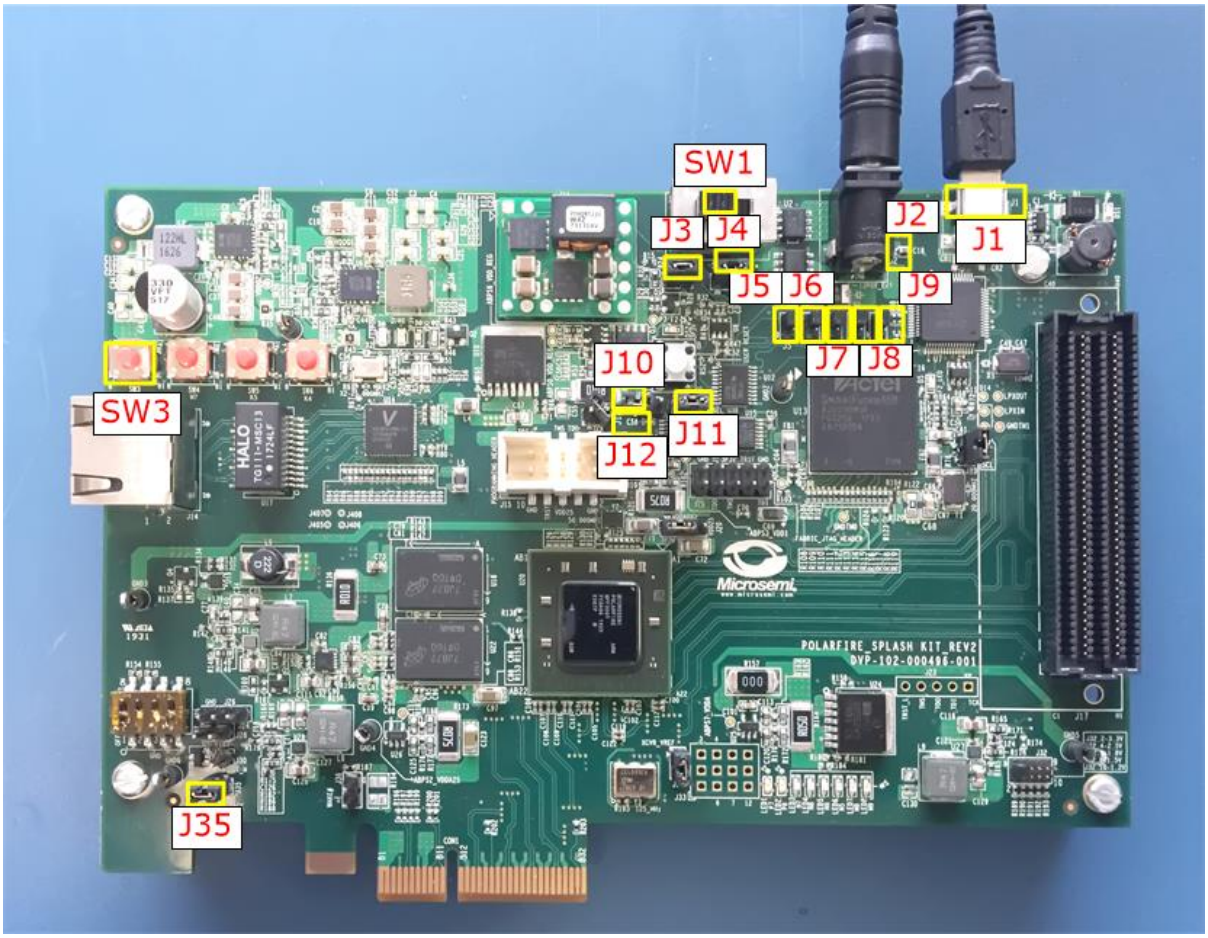
1. 确保电路板上的跳线设置与下表所列设置相同。

表 3-1. 跳线设置

跳线	说明
J5、J6、J7、J8 和 J9	短接引脚 2 和 3，通过 FTDI 对 PolarFire® FPGA 进行编程
J11	短接引脚 1 和 2，通过 FTDI 芯片进行编程
J10	短接引脚 1 和 2，通过 FTDI SPI 进行编程
J4	短接引脚 1 和 2，通过开关 SW1 手动开关电源
J3	断开引脚 1 和 2，设置为 1.0V 电压

2. 将电源线连接到板上的 J2 连接器。
3. 使用 USB 线缆将主机 PC 连接到板上的 J1（FTDI 端口）。
4. 使用 SW1 滑动开关为电路板上电。

图 3-1. Splash 工具包电路板设置

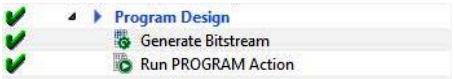


5. 在 **Libero > Design Flow** 选项卡中，双击 **Run PROGRAM Action**。

器件成功编程后，会出现一个绿色对勾标记，如下图所示。有关运行 PCIe 端点演示的信息，请参见运行演示。

© 2026 Microchip Technology Inc. 及其子公司

图 3-2. 对器件进行编程



© 2026 Microchip Technology Inc. 及其子公司

4. 运行演示 (Ask a Question)

本节介绍如何安装和使用 PCIe 演示应用程序。PolarFire PCIe 演示应用程序是一个运行在主机 PC 上的简单 GUI 应用程序，用于与 PolarFire PCIe 端点器件进行通信。它提供 PCIe 链路状态、驱动程序信息和演示控制功能。PolarFire PCIe 演示应用程序会调用主机 PC 上安装的 PCIe 驱动程序，并根据用户所做的选择向驱动程序提供命令。

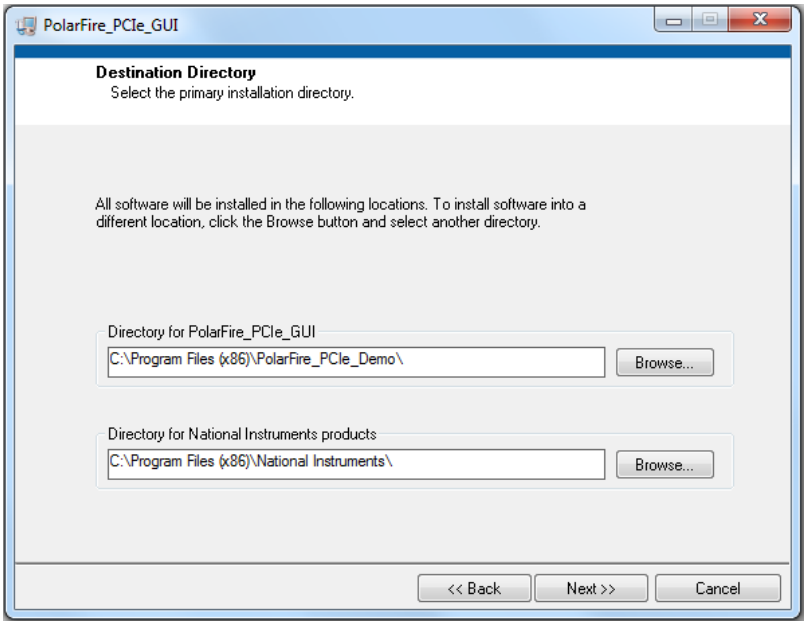
本节还介绍如何将工具包连接到主机 PC PCIe 插槽。如果主机 PC PCIe 插槽不可用，则 DDR3L/DDR4 和 LSRAM 之间的 DMA 可以通过 UART IF 执行。

4.1. 安装 PCIe 演示应用程序 (Ask a Question)

要安装 PolarFire PCIe 演示应用程序，请执行以下步骤：

1. 从以下设计文件文件夹安装 GUI 应用程序（`setup.exe`）： `mpf_an4597_df\GUI`
2. 在提供的 GUI 安装文件中，双击 `setup.exe`：
   （`GUI\setup.exe`）。
3. 应用默认选项，如下图所示。

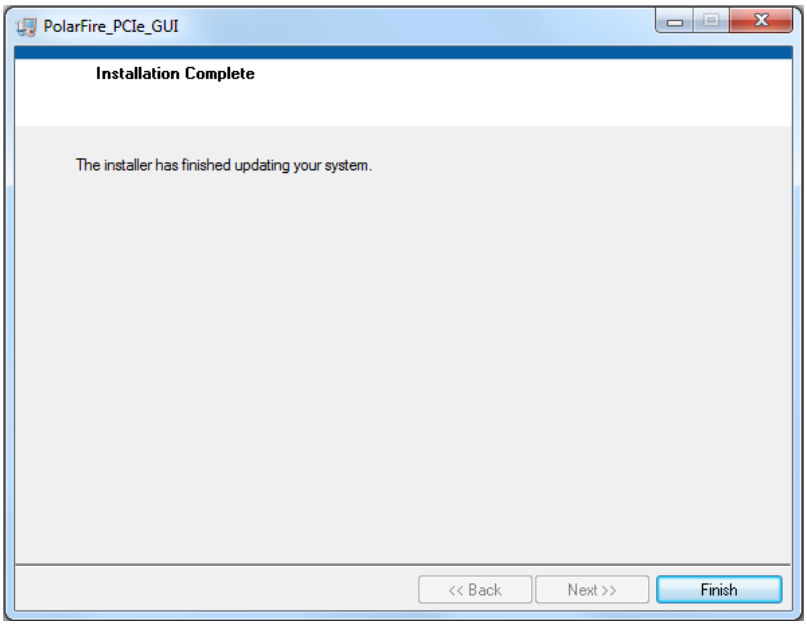
图 4-1. 安装 PCIe®演示应用程序



4. 单击 **Next**（下一步）开始安装。
5. 单击 **Finish**（完成）完成安装。

© 2026 Microchip Technology Inc. 及其子公司

图 4-2. PCIe®演示应用程序安装成功



4.2. 通过 PCIe 运行演示 (Ask a Question)

本节介绍如何将电路板连接到主机 PC PCIe 插槽、安装 PCIe 驱动程序以及运行演示应用程序。

4.2.1. 将电路板连接到主机 PC PCIe 插槽 (Ask a Question)

1. 成功完成编程后，关闭 PolarFire 评估/Splash 开发板的电源并关闭主机 PC。
2. 通过 PCI 卡缘连接器排线，将 PolarFire 评估/Splash 开发板的 CON3-PCIe 边缘连接器连接到主机 PC 的 PCIe 插槽。此演示适用于任何符合 PCIe Gen2 标准的插槽。如果主机 PC 不支持符合 Gen2 标准的插槽，则演示将切换到 Gen1 模式。

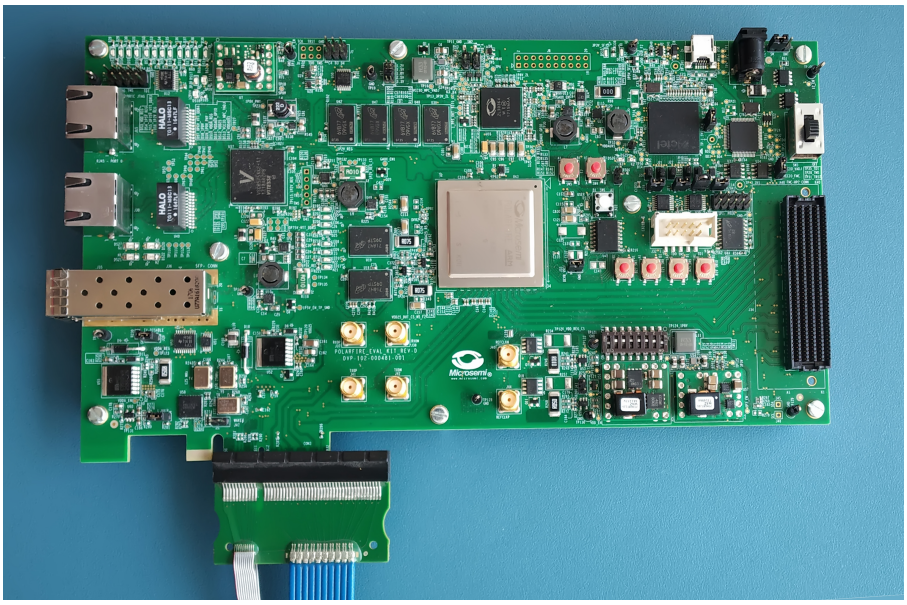
重要：

- 插入 PCIe 边缘连接器时，请将主机 PC 关机。如果未关机，则 PCIe 设备检测和 Gen1 或 Gen2 模式选择可能会失败。设备检测和模式选择取决于主机 PC 的 PCIe 配置。
- 将电路板连接到主机后，主机 PC 可能会自动开启，无需手动开机。

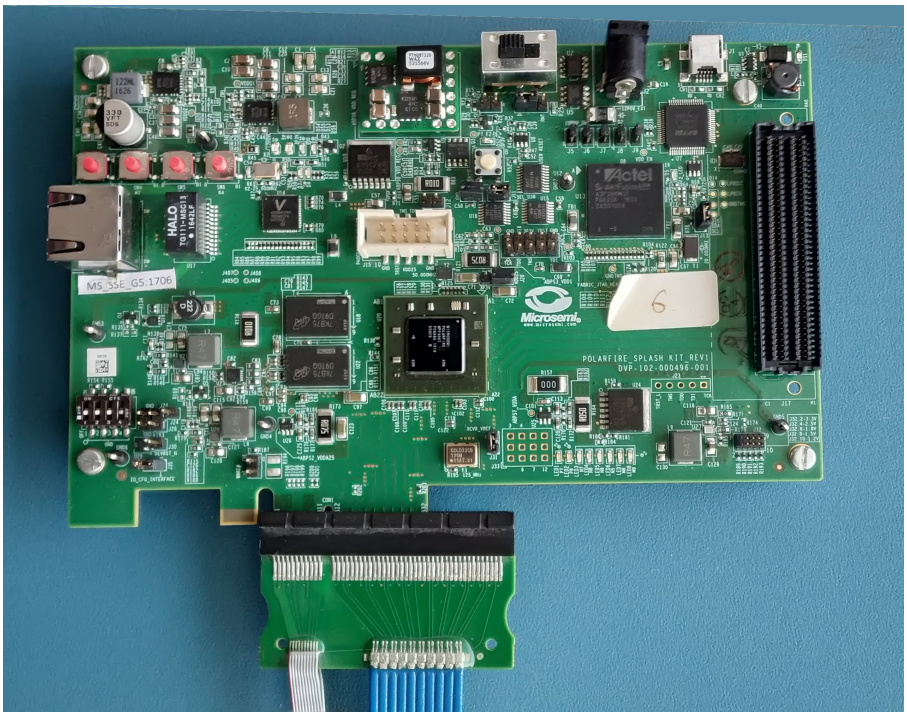
下图显示了主机 PC 的电路板设置，其中 PolarFire 评估工具包通过 PCIe 卡缘连接器排线（工具包中未提供）连接到主机 PC 的 PCIe 插槽。

© 2026 Microchip Technology Inc. 及其子公司

图 4-3. 主机 PC 的 PolarFire®评估工具包设置



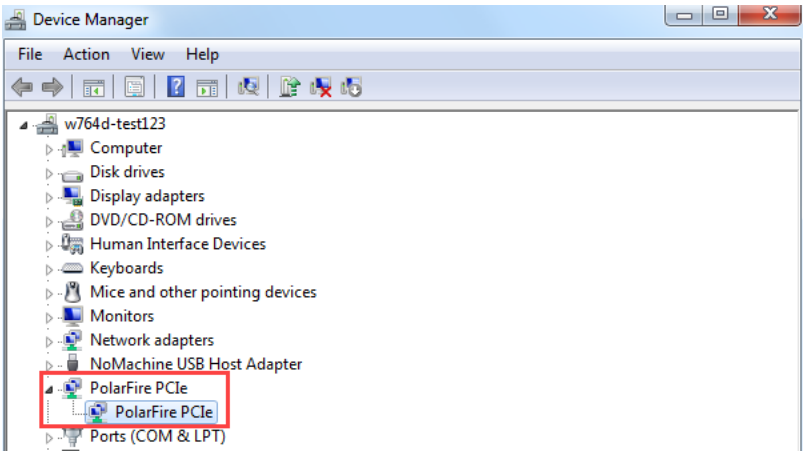
3. 打开电源开关 SW3，为电路板上电。
   下图显示了主机 PC 的电路板设置，其中 PolarFire Splash 工具包连接到主机 PC 的 PCIe 插槽。



4. 打开电源开关 SW1，为电路板上电。
5. 开启主机 PC，并在主机 PC 的 **Device Manager**（设备管理器）中检查 PCIe 设备。下图显示了 **Device Manager** 窗口示例。

© 2026 Microchip Technology Inc. 及其子公司

图 4-4. 设备管理器



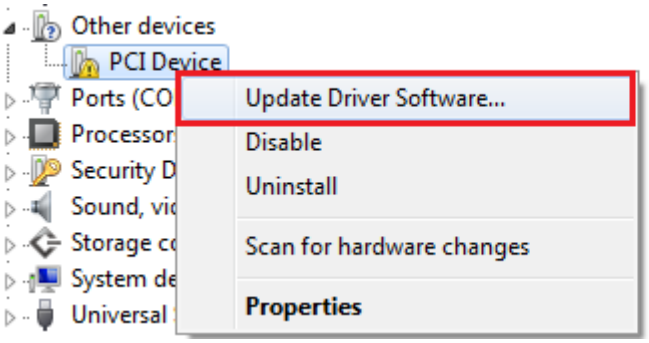
重要：如果仍未检测到设备，请检查主机 PC 的 BIOS 版本是否为最新版本，以及主机 PC BIOS 中是否启用了 PCI。

4.2.2. 驱动程序安装 (Ask a Question)

要在主机 PC 上安装 PCIe 驱动程序，请执行以下步骤：

1. 在 **Device Manager** 中，右键单击 **PCI Device**（PCI 设备），然后选择 **Update Driver Software...**（更新驱动程序软件...），如下图所示。安装驱动程序需要管理员权限。

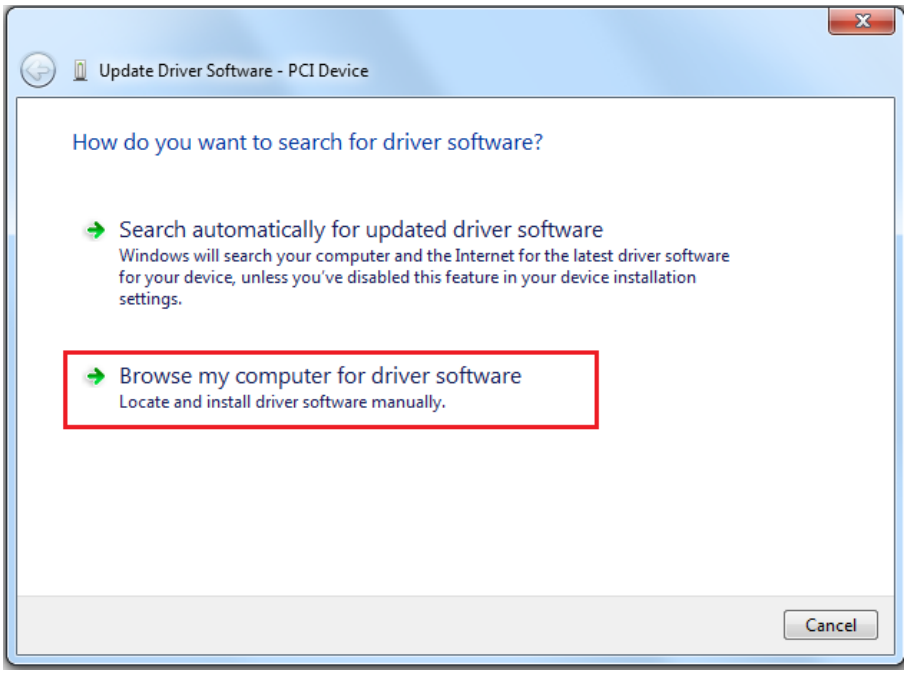
   图 4-5. 更新驱动程序软件



2. 在 **Update Driver Software - PCIe Device**（更新驱动程序软件 - PCIe 设备）窗口中，选择 **Browse my computer for driver software**（浏览我的计算机以查找驱动程序软件），如下图所示。

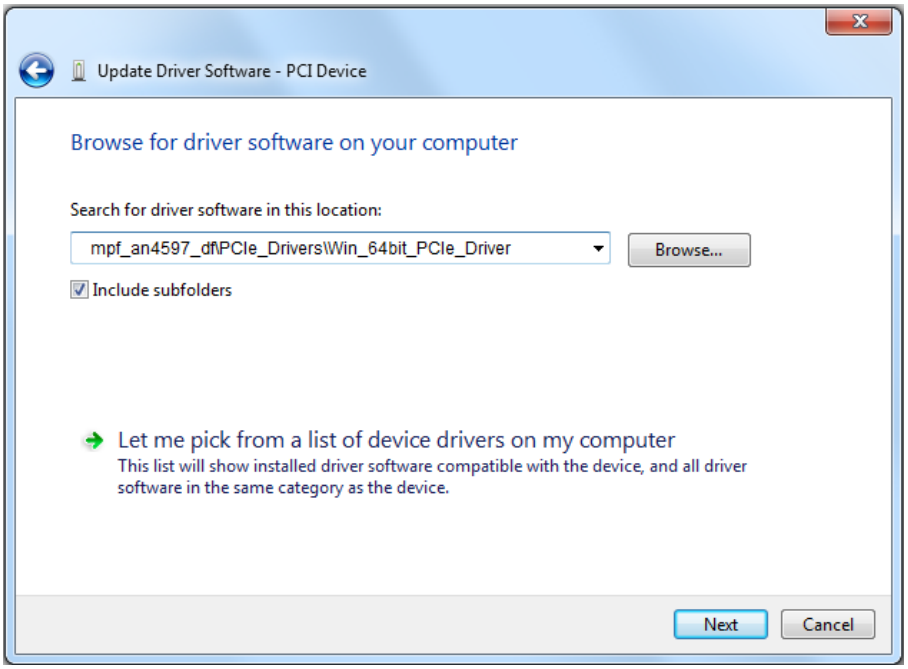
© 2026 Microchip Technology Inc. 及其子公司

图 4-6. 浏览查找驱动程序软件



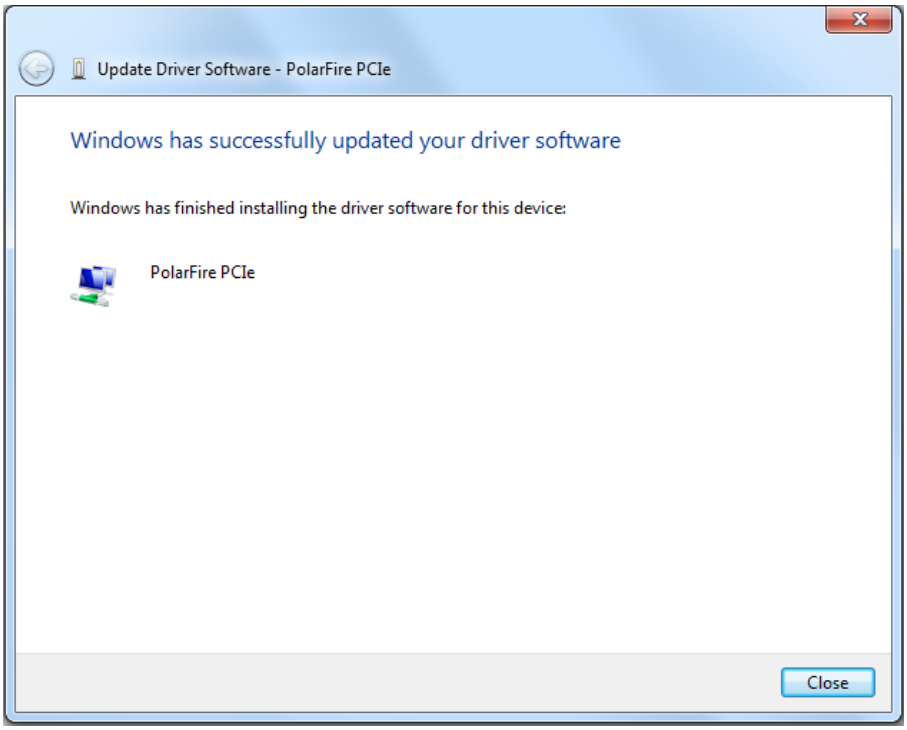
3. 解压缩文件并浏览至驱动程序文件夹：
`mpf_an4597_df\PCIe_Drivers\Win_64bit_PCIe_Driver`，然后单击 **Next**，如下图所示。

图 4-7. 浏览查找驱动程序软件（续）



© 2026 Microchip Technology Inc. 及其子公司

4. **图 4-8.** 驱动程序安装成功

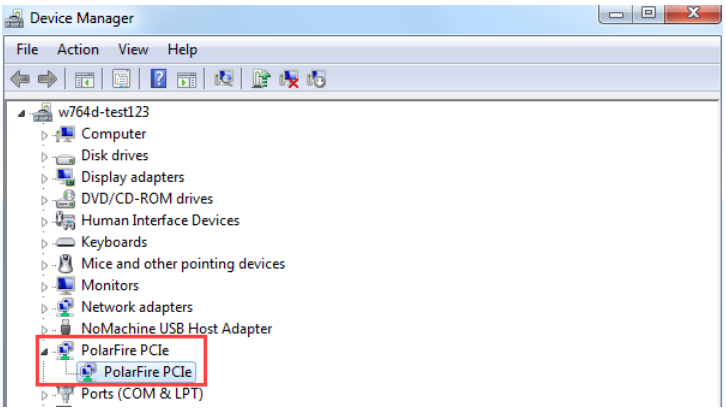


4.2.3. 运行 PCIe 演示应用程序 (Ask a Question)

要运行演示设计，请执行以下步骤：

1. 在主机 PC 的 **Device Manager** 中单击 **PolarFire PCIe** 选项，展开 **PolarFire PCIe** 设备项。

图 4-9. 设备管理器——PCIe®设备检测

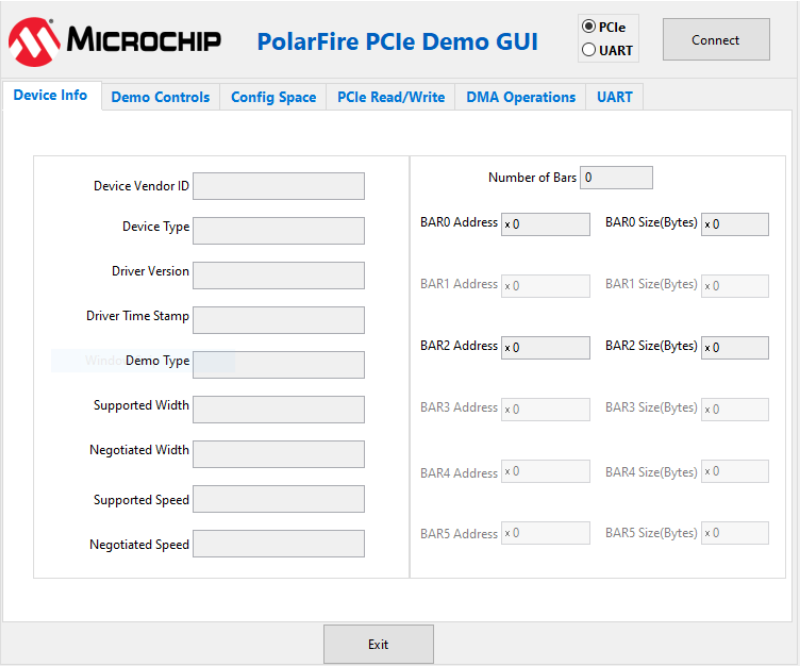


重要：如果在访问 PolarFire PCIe 驱动程序时显示警告消息，请卸载并重新安装该驱动程序。

2. 导航至 **All Programs**（所有程序） > **PolarFire_PCIe_GUI** > **PolarFire_PCIe_GUI**。

© 2026 Microchip Technology Inc. 及其子公司

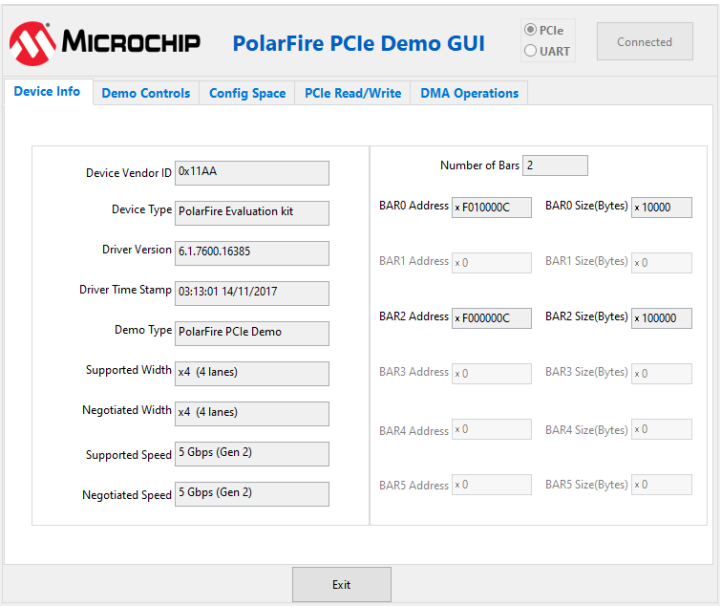
图 4-10. PCIe®端点演示应用程序



这时会显示 **PolarFire PCIe Demo**（PolarFire PCIe 演示）窗口。

3. 单击 **Connect**（连接）。该应用程序会检测并显示与所连工具包相关的信息，例如设备供应商 ID、设备类型、驱动程序版本、驱动程序时间戳、演示类型、支持的宽度、协商的宽度、支持的速度、协商的速度、BAR 数量和 BAR 地址。

图 4-11. “Device Info”（设备信息）选项卡

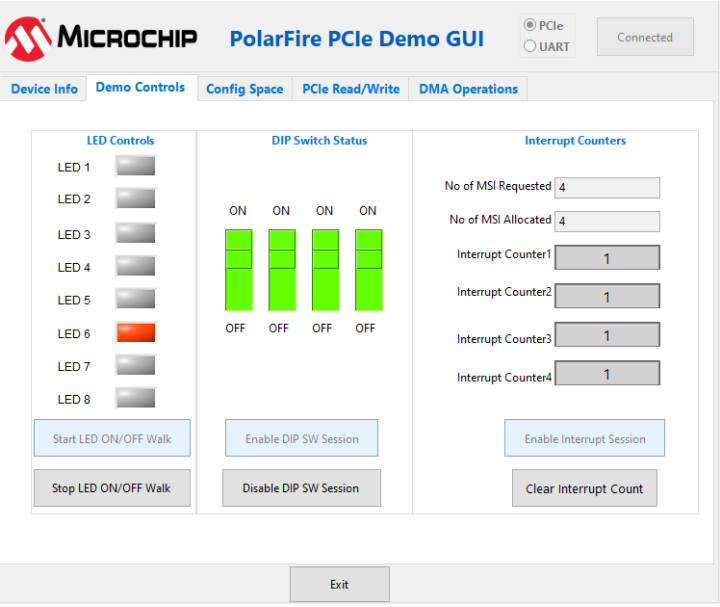


4. 要显示 **LED Controls**（LED 控制）、**DIP Switch Status**（DIP 开关状态）和 **Interrupt Counters**（中断计数器），请单击 **Demo Controls**（演示控制）选项卡。
5. 要查看 LED 控制效果（观察 PolarFire 评估工具包上的 LED4 至 LED11），请单击 **Start LED ON/OFF Walk**（开始 LED 开/关跑马灯）、**Enable DIP SW Session**（使能 DIP 开关控制）和

© 2026 Microchip Technology Inc. 及其子公司

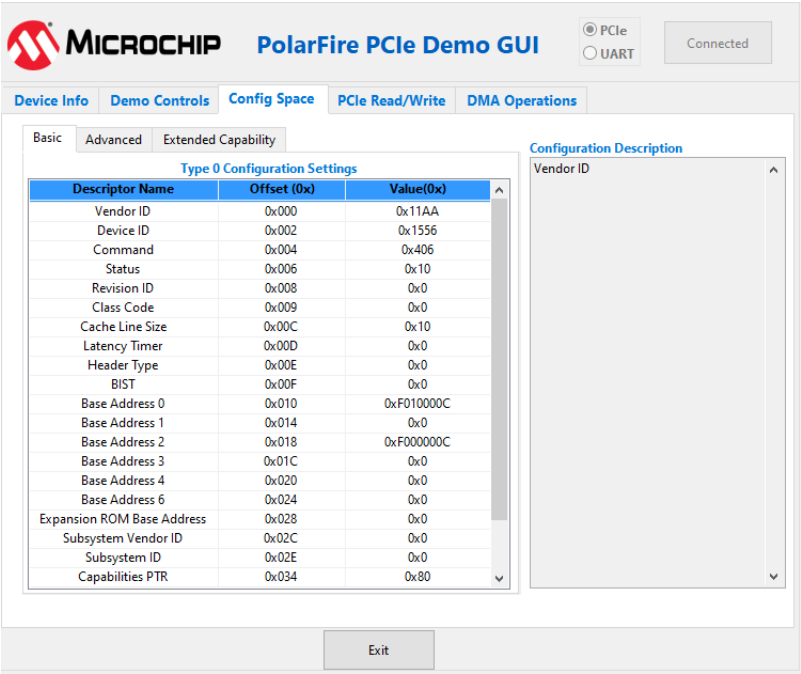
Enable Interrupt Session（使能中断监视）。这样，您可以同时检查 DIP 开关的状态（切换 PolarFire 评估工具包/Splash 工具包上 DIP1 至 DIP4 的开/关状态）并监视中断（在 PolarFire 评估工具包上按下 SW7 至 SW10，在 PolarFire Splash 工具包上按下 SW3 至 SW6 可生成中断），如下图所示。

图 4-12. 演示控制



6. 要查看有关 PCIe 配置空间的详细信息，请单击 **Config Space**（配置空间）选项卡，如下图所示。

图 4-13. “Config Space”选项卡



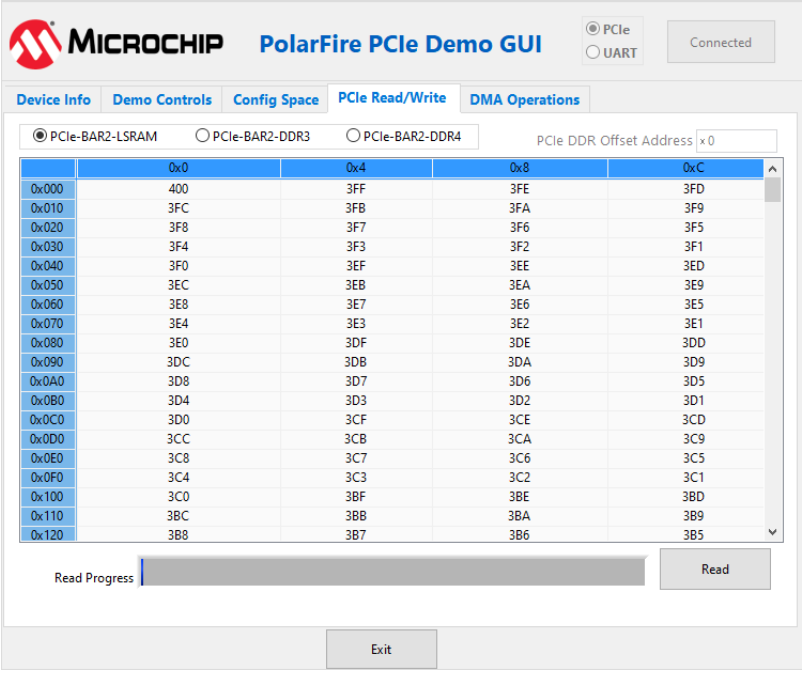
Descriptor Name	Offset (0x)	Value(0x)
Vendor ID	0x000	0x11AA
Device ID	0x002	0x1556
Command	0x004	0x406
Status	0x006	0x10
Revision ID	0x008	0x0
Class Code	0x009	0x0
Cache Line Size	0x00C	0x10
Latency Timer	0x00D	0x0
Header Type	0x00E	0x0
BIST	0x00F	0x0
Base Address 0	0x010	0xF010000C
Base Address 1	0x014	0x0
Base Address 2	0x018	0xF000000C
Base Address 3	0x01C	0x0
Base Address 4	0x020	0x0
Base Address 6	0x024	0x0
Expansion ROM Base Address	0x028	0x0
Subsystem Vendor ID	0x02C	0x0
Subsystem ID	0x02E	0x0
Capabilities PTR	0x034	0x80

7. 要使用 BAR2 空间对 DDR/LSRAM 执行读写操作，请单击 **PCIe Read/Write**（PCIe 读/写）选项卡。
8. 选择 **LSRAM/DDR3L/DDR4**，然后单击 **Read**（读取）以读取 DDR 和 LSRAM 中映射到 BAR2 空间的 4 KB 存储区，如下图所示。

© 2026 Microchip Technology Inc. 及其子公司

重要：PCIe BAR2-DDR3L 仅适用于评估工具包。

图 4-14. PCIe® BAR2 存储器访问——LSRAM



9. 对于 DDR 和 LSRAM 等相关的不同 DMA 操作，请单击 **DMA Operations**（DMA 操作）选项卡。

重要：DDR3L DMA 选项不适用于 Splash 工具包演示。

4.2.3.1. 连续 DMA——操作 (Ask a Question)

以下说明介绍如何在 PC 和 DDR3L、PC 和 DDR4、PC 和 LSRAM 之间运行 DMA 操作：

1. 从 **DMA Transfer Type Selection**（DMA 传输类型选择）下拉列表中选择以下其中一个选项：
   - **PC -> DDR3L**——将数据从主机 PC 传输到 PolarFire DDR3L 存储器
   - **DDR3L -> PC**——将数据从 PolarFire DDR3L 存储器传输到主机 PC
   - **Both PC <-> DDR3L（PC <-> DDR3L 双向）**——在主机 PC 和 PolarFire DDR3L 存储器之间双向传输数据
   - **PC -> DDR4**——将数据从主机 PC 传输到 PolarFire DDR4 存储器
   - **DDR4 -> PC**——将数据从 PolarFire DDR4 存储器传输到主机 PC
   - **Both PC <-> DDR4（PC <-> DDR4 双向）**——在主机 PC 和 PolarFire DDR4 存储器之间双向传输数据
   - **PC -> LSRAM**——将数据从主机 PC 传输到 PolarFire LSRAM 存储器
   - **LSRAM -> PC**——将数据从 PolarFire LSRAM 存储器传输到主机 PC
   - **Both PC<->LSRAM（PC<->LSRAM 双向）**——在主机 PC 和 PolarFire LSRAM 存储器之间双向传输数据

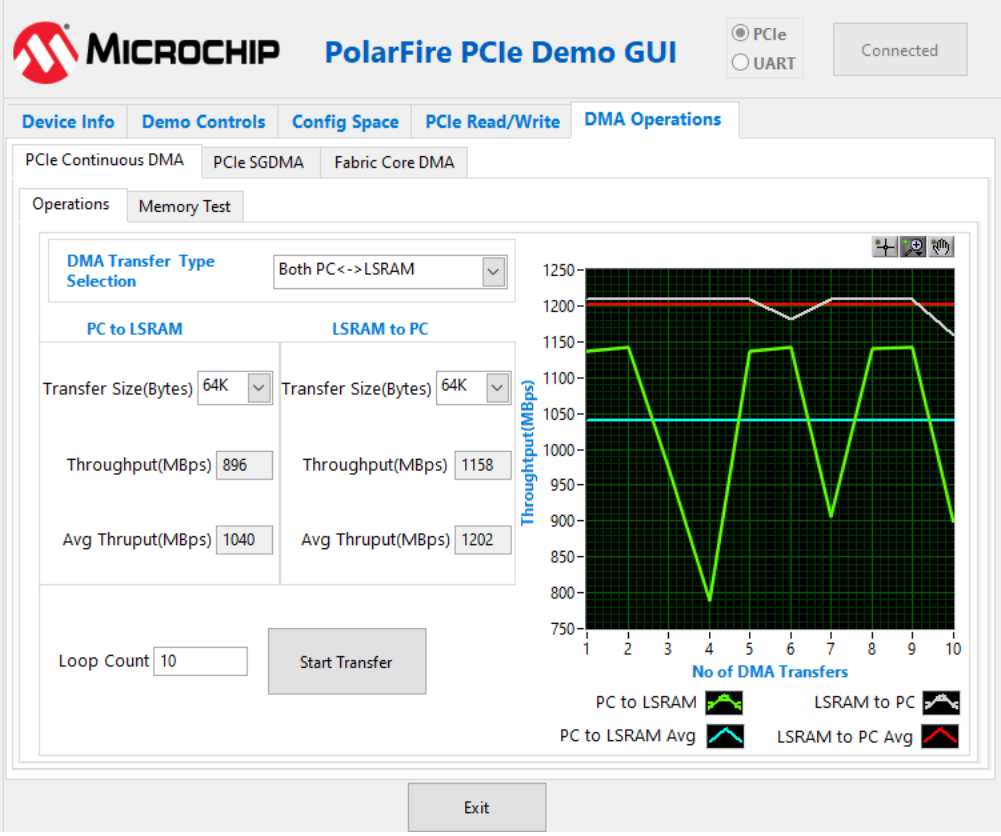
© 2026 Microchip Technology Inc. 及其子公司

2. 从下拉列表中选择 **Transfer Size**（传输大小）（4 KB 至 64 KB）。最大连续 DMA 大小为 64 KB，因为主机 PC 可能没有超过 64 KB 的连续存储空间。对于需要超过 64 KB 的 DMA 操作，请使用 SGDMA。
3. 在方框中输入 **Loop Count**（循环次数）。
4. 单击 **Start Transfer**（开始传输）。DMA 操作成功后，GUI 会以 MBps 为单位显示吞吐量和平均吞吐量。

重要：设计中的 AXI LSRAM 配置为 4 KB。如果对 LSRAM 执行超过 4 KB 的 DMA 操作，则这 4 KB 的内容会被覆盖。提供此选项是为了使用更大的 DMA 大小测试吞吐性能。

下图显示了以 MBps 为单位的吞吐量和平均吞吐量。

图 4-15. DMA 传输类型选择为 PC 与 LSRAM 双向传输的连续 DMA 操作



4.2.3.2. 连续 DMA——存储器测试 (Ask a Question)

以下说明介绍如何通过 UART 对 DDR3L/DDR4/LSRAM 运行**存储器测试**：

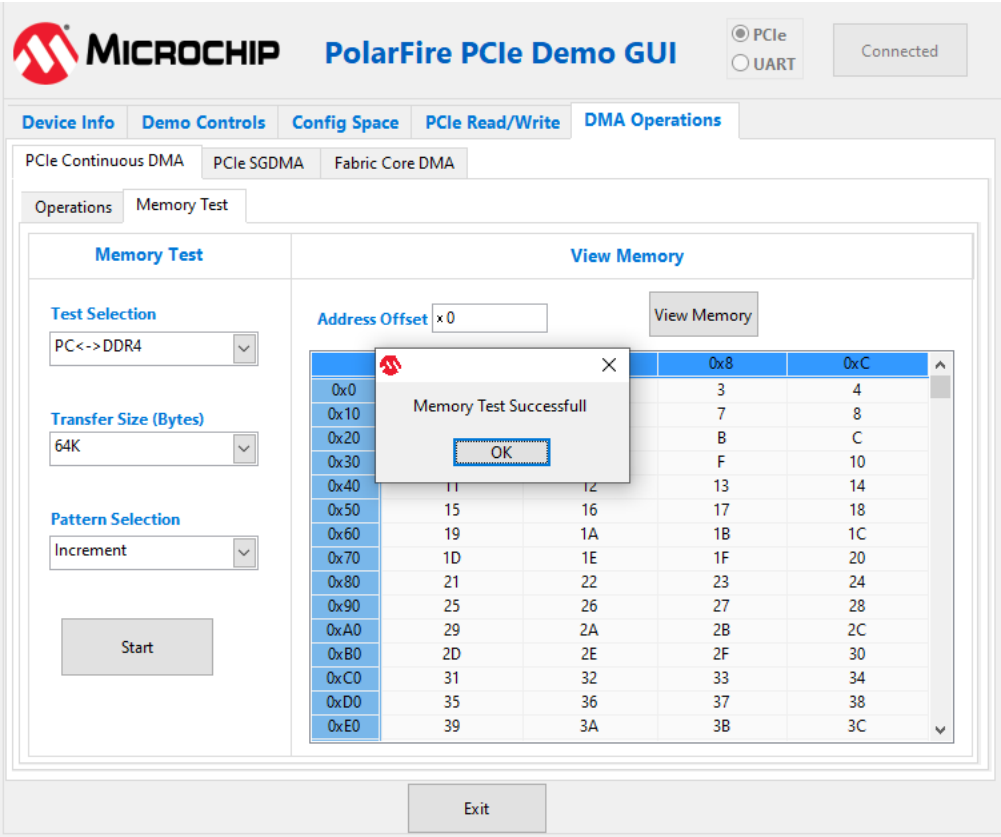
1. 从 **Test Selection**（测试选择）下拉列表中选择以下其中一个选项：
   - **PC <-> DDR3L**——在主机 PC 和 PolarFire DDR3L 存储器之间双向传输数据
   - **PC <-> DDR4**——在主机 PC 和 PolarFire DDR4 存储器之间双向传输数据
   - **PC <-> LSRAM**——在主机 PC 和 PolarFire LSRAM 存储器之间双向传输数据
2. 从下拉列表中选择 **Transfer Size**（4 KB 至 64 KB）。

© 2026 Microchip Technology Inc. 及其子公司

3. 从 **Pattern Selection**（模式选择）下拉列表中选择——Increment（递增）、Decrement（递减）、Random（随机）、Fill with Zeros（填充零）、Fill with Ones（填充一）、Fill with all A's（填充全 A）和 Fill with all 5's（填充全 5）。
4. 单击 **Start**（开始）。GUI 会执行以下任务：
   - 主机 PC 创建缓冲区并初始化存储器
   - 发起 PC 到 DDR 的 DMA 传输
   - 清除 PC 缓冲区
   - 初始化 DDR 到 PC 的 DMA 传输
   - 将存储器内容与预期数据进行比较

下图显示了 **Memory Test Successful**（存储器测试成功）窗口。

图 4-16. 连续 DMA 存储器测试——存储器测试成功



重要：如果存储器测试失败，则 GUI 会显示第一个发生错误的存储单元。

重要：更改 **Offset Address**（偏移地址），然后单击 **View Memory**（查看存储器），以读取 RAM 存储器内容。

4.2.3.3. SGDMA——操作 (Ask a Question)

以下说明介绍如何在 PC 和 DDR3L、PC 和 DDR4 之间运行 SGDMA 操作：

© 2026 Microchip Technology Inc. 及其子公司

1. 从 **DMA Transfer Type Selection** 下拉列表中选择以下其中一个选项：
   - **PC -> DDR3L**——将数据从主机 PC 传输到 PolarFire DDR3L 存储器
   - **DDR3L -> PC**——将数据从 PolarFire DDR3L 存储器传输到主机 PC
   - **Both PC <-> DDR3L**——在主机 PC 和 PolarFire DDR3L 存储器之间双向传输数据
   - **PC -> DDR4**——将数据从主机 PC 传输到 PolarFire DDR4 存储器
   - **DDR4 -> PC**——将数据从 PolarFire DDR4 存储器传输到主机 PC
   - **Both PC <-> DDR4**——在主机 PC 和 PolarFire DDR4 存储器之间双向传输数据
2. 从下拉列表中选择 **Transfer Size**（4 KB 至 1 MB）。
3. 在方框中输入 **Loop Count**。**Buffer Descriptors**（缓冲区描述符）显示主机驱动程序为每个 SGDMA 操作创建的描述符数量。
4. 单击 **Start Transfer**。DMA 操作成功后，GUI 会以 MBps 为单位显示吞吐量和平均吞吐量。

4.2.3.4. SGDMA——存储器测试 (Ask a Question)

以下说明介绍如何通过 UART 对 DDR3L/DDR4/LSRAM 运行**存储器测试**：

1. 从 **Test Selection** 下拉列表中选择以下其中一个选项：
   - **PC <-> DDR3L**——在主机 PC 和 PolarFire DDR3L 存储器之间双向传输数据
   - **PC <-> DDR4**——在主机 PC 和 PolarFire DDR4 存储器之间双向传输数据
2. 从下拉列表中选择 **Transfer Size**（4 KB 至 1 MB）。
3. 从 **Pattern Selection** 下拉列表中选择——Increment、Decrement、Random、Fill with Zeros、Fill with Ones、Fill with all A's 和 Fill with all 5's。
4. 单击 **Start**。GUI 会执行以下任务：
   - 主机 PC 创建缓冲区并初始化存储器
   - 发起 PC 到 DDR 的 DMA 传输
   - 清除 PC 缓冲区
   - 初始化 DDR 到 PC 的 DMA 传输
   - 将存储器内容与预期数据进行比较

   随后会显示 **Memory Test Successful** 窗口。
5. 单击 **OK**。

4.2.3.5. 内核 DMA——操作 (Ask a Question)

以下说明介绍如何在 LSRAM 和 DDR3L、LSRAM 和 DDR4、DDR3L 和 DDR4 之间运行 **DMA 操作**：

1. 从 **DMA Transfer Type Selection** 下拉列表中选择以下其中一个选项：
   - **LSRAM -> DDR3L**——将数据从 LSRAM 传输到 PolarFire DDR3L 存储器
   - **DDR3L -> LSRAM**——将数据从 PolarFire DDR3L 存储器传输到 LSRAM
   - **Both LSRAM <-> DDR3L（LSRAM <-> DDR3L 双向）**——在 LSRAM 和 PolarFire DDR3L 存储器之间双向传输数据。
   - **LSRAM -> DDR4**——将数据从 LSRAM 传输到 PolarFire DDR4 存储器
   - **DDR4 -> LSRAM**——将数据从 PolarFire DDR4 存储器传输到 LSRAM
   - **Both LSRAM <-> DDR4（LSRAM <-> DDR4 双向）**——在 LSRAM 和 PolarFire DDR4 存储器之间双向传输数据。
   - **DDR4 -> DDR3L**——将数据从 DDR4 存储器传输到 DDR3L 存储器

© 2026 Microchip Technology Inc. 及其子公司

- **DDR3L -> DDR4**——将数据从 DDR3L 存储器传输到 DDR4 存储器
- **Both DDR4 <-> DDR3L（DDR4 <-> DDR3L 双向）**——在 DDR4 存储器和 DDR3L 存储器之间双向传输数据。

2. 从下拉列表中选择 **Transfer Size**（4 KB 至 1 MB）。
3. 在方框中输入 **Loop Count**。
4. 单击 **Start Transfer**。DMA 操作成功后，GUI 会以 MBps 为单位显示吞吐量和平均吞吐量。

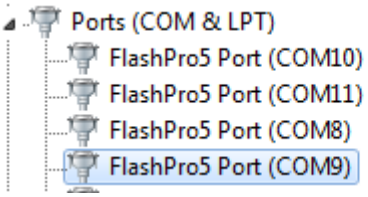
> **重要：**设计中的 AXI LSRAM 配置为 4 KB。如果对 LSRAM 执行超过 4 KB 的 DMA 操作，则这 4 KB 的内容会被覆盖。提供此选项是为了使用更大的 DMA 大小测试吞吐性能。

5. 单击 **Exit**（退出）。

4.3. 通过 UART 运行演示 (Ask a Question)

以下步骤介绍主机 PC PCIe 插槽不可用时，如何通过 UART 运行演示：
在主机 PC 的 **Device Manager** 中检查 UART 端口。
下图显示了 **Device Manager** 窗口中的 UART 端口示例。

图 4-17. 设备管理器——UART 端口



以下步骤介绍如何使用 UART IF 运行参考设计：

1. 依次选择 **All Programs** > **PolarFire_PCIe_GUI** >**PolarFire_PCIe_GUI**。这时会显示 **PolarFire PCIe Demo** 窗口。
2. 选择 **UART** 单选按钮，然后单击 **Connect**。

GUI 应用程序扫描 UART 端口，连接成功后，显示“DMA Operations UART”（DMA 操作 UART）选项卡，如图 4-18 中所示。

4.3.1. UART——DMA 操作 (Ask a Question)

以下说明介绍 LSRAM 与 DDR 之间不同的 DMA 操作方式：

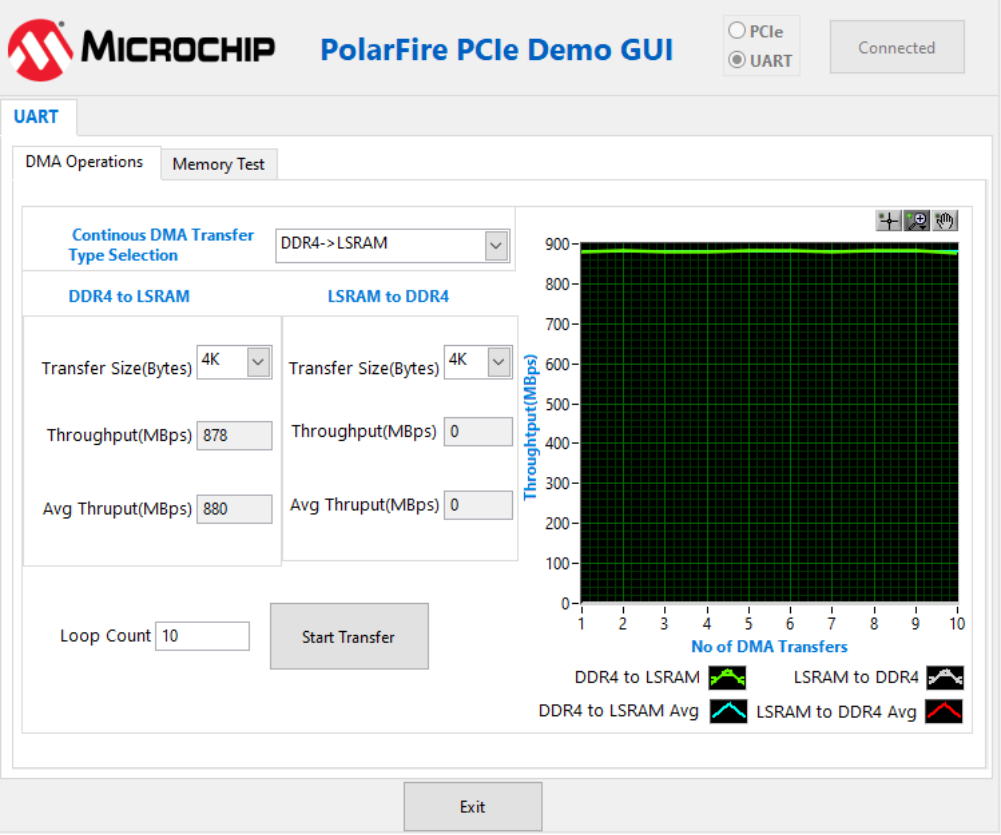
1. 从 **Continuous DMA Transfer Type Selection**（连续 DMA 传输类型选择）下拉列表中选择以下其中一个选项：
   - **DDR3L -> LSRAM**：将数据从 DDR3L 存储器传输到 PolarFire LSRAM 存储器
   - **LSRAM -> DDR3L**：将数据从 PolarFire LSRAM 存储器传输到 DDR3L
   - **Both DDR3L <-> LSRAM（DDR3L <->LSRAM 双向）**：在 DDR3L 和 PolarFire LSRAM 存储器之间双向传输数据
   - **LSRAM -> DDR4**：将数据从 LSRAM 传输到 PolarFire DDR4 存储器
   - **DDR4-> LSRAM**：将数据从 PolarFire DDR4 存储器传输到 LSRAM
   - **Both LSRAM <-> DDR4**：在 LSRAM 和 PolarFire DDR4 存储器之间双向传输数据
   - **DDR4 -> DDR3L**：将数据从 DDR4 存储器传输到 DDR3L 存储器

© 2026 Microchip Technology Inc. 及其子公司

- **DDR3L -> DDR4：**将数据从 DDR3L 存储器传输到 DDR4 存储器
- **Both DDR4 <-> DDR3L：**在 DDR4 和 DDR3L 存储器之间双向传输数据
- **Both DDR3L <-> DDR4（DDR3L <-> DDR4 双向）：**在 DDR3L 和 DDR4 存储器之间双向传输数据。

2. 从下拉列表中选择 **Transfer Size**（4 KB 至 512 KB）。
3. 在方框中输入 **Loop Count**。
4. 单击 **Start Transfer**。DMA 操作成功后，GUI 会以 MBps 为单位显示吞吐量和平均吞吐量。下图显示了从 DDR 存储器到 LSRAM 的 DMA 吞吐量和平均吞吐量。

图 4-18. UART——DMA 操作



重要：设计中的 AXI LSRAM 配置为 4 KB。如果对 LSRAM 执行超过 4 KB 的 DMA 操作，则这 4 KB 的内容会被覆盖。提供此选项是为了使用更大的 DMA 大小测试吞吐性能。

4.3.1.1. UART——存储器测试 (Ask a Question)

以下说明介绍如何通过 UART 对 DDR3L/DDR4/LSRAM 运行**存储器测试**：

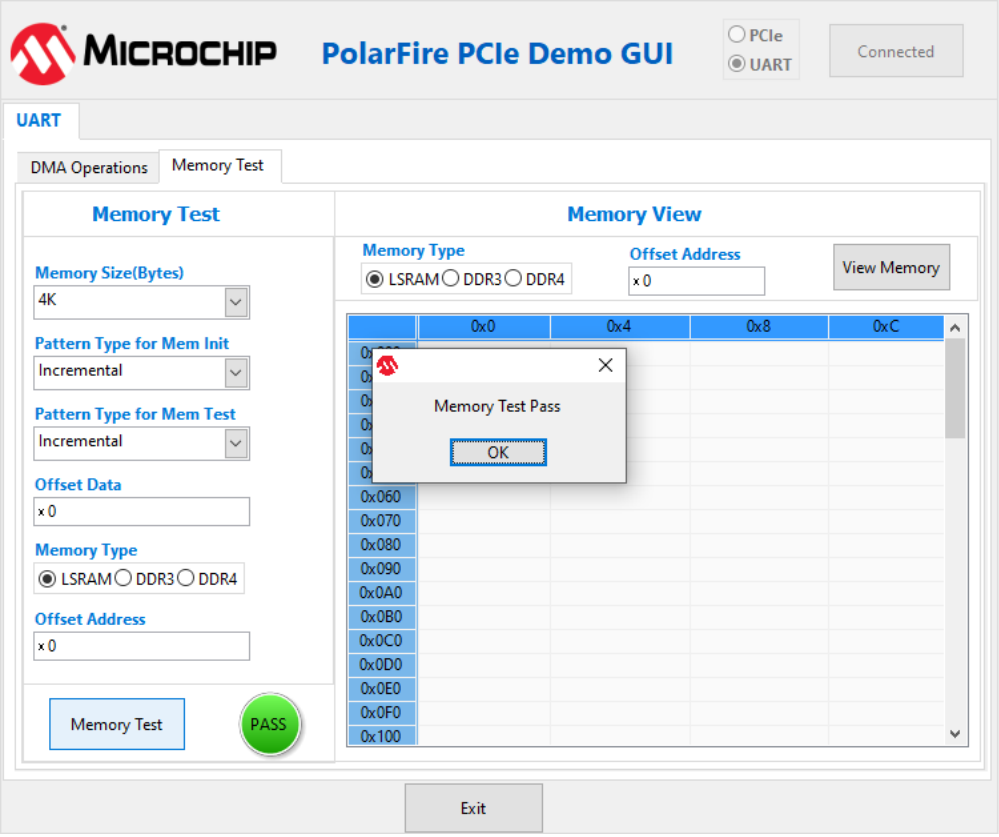
1. 从下拉列表中选择 **Transfer Size**（4 KB 至 1 MB）。
2. 从下拉列表中选择 **Pattern Selection**——Increment、Decrement、Fill with Zeros、Fill with Ones、Fill with all A's 和 Fill with all 5's。为确保存储器测试操作成功，**Pattern Type for Mem Init**（存储器初始化模式类型）和 **Pattern Type for Mem Test**（存储器测试模式类型）应相同。
3. 单击 **Memory Test**（存储器测试）。

© 2026 Microchip Technology Inc. 及其子公司

- GUI 向结构逻辑发送命令以初始化 LSRAM/DDR3L/DDR4 存储器
- GUI 向结构逻辑发送命令，以读取并比较 LSRAM/DDR3L/DDR4 存储器内容

下图显示了 **UART—Memory Test**（UART——存储器测试）选项卡。

图 4-19. UART——存储器测试



> **重要：**更改 **Offset Address**，然后单击 **View Memory**，以读取 RAM 存储器内容。确保 **Pattern Type for Mem Init** 和 **Pattern Type for Mem Test** 与上图所示相同。

4. 单击 **View Memory**（查看存储器）。将显示 1 KB 的 RAM 存储器内容。
5. 单击 **OK**。
6. 单击 **Exit**。

4.3.2. 在 Linux 上运行演示设计 (Ask a Question)

以下步骤介绍如何在 Linux 上运行演示设计：

1. 打开 PolarFire 评估工具包电路板或 PolarFire Splash 工具包上的电源开关。
2. 开启 Ubuntu Linux 主机 PC。
3. Ubuntu Linux 内核会将 PolarFire 评估工具包板或 PolarFire Splash 工具包 PCIe 端点检测为 Actel 设备。
4. 在 Linux 命令提示符处，使用 lspci 命令显示 PCIe 信息。

```
# lspci
```


© 2026 Microchip Technology Inc. 及其子公司

图 4-20. PCIe®设备检测

```
chandra@hyd-ld-i52899a:~/work/cardtest/linux_pcie_app$ lspci
00:00.0 Host bridge: Intel Corporation Device a703 (rev 01)
00:01.0 PCI bridge: Intel Corporation Device a70d (rev 01)
00:02.0 VGA compatible controller: Intel Corporation Device a780 (rev 04)
00:04.0 Signal processing controller: Intel Corporation Device a71d (rev 01)
00:06.0 PCI bridge: Intel Corporation Device a74d (rev 01)
00:14.0 USB controller: Intel Corporation Device 7ae0 (rev 11)
00:14.2 RAM memory: Intel Corporation Device 7aa7 (rev 11)
00:16.0 Communication controller: Intel Corporation Device 7ae8 (rev 11)
00:16.3 Serial controller: Intel Corporation Device 7aeb (rev 11)
00:17.0 SATA controller: Intel Corporation Device 7ae2 (rev 11)
00:1f.0 ISA bridge: Intel Corporation Device 7a83 (rev 11)
00:1f.3 Audio device: Intel Corporation Device 7ad0 (rev 11)
00:1f.4 SMBus: Intel Corporation Device 7aa3 (rev 11)
00:1f.5 Serial bus controller: Intel Corporation Device 7aa4 (rev 11)
00:1f.6 Ethernet controller: Intel Corporation Ethernet Connection (17) I219-LM (rev 11)
01:00.0 Non-VGA unclassified device: Actel Device 1556
```

4.3.2.1. 驱动程序安装 (Ask a Question)

在 Linux 命令提示符处输入以下命令来安装 PCIe 驱动程序：

1. 使用以下命令切换到 `PCIe_Drivers` 目录：
   `#cd <source_code_directory>\mpf_an4597_df\PCIe_Drivers\Linux_PCIe_Drivers_application\linux_pcie_dma\linux_pcie_driver`
2. 在 Linux 命令提示符处输入 make 命令来编译 Linux PCIe 设备驱动程序代码。
   `#make clean [To clean any *.o, *.ko files]`
   `#make`
3. 内核模块 **mpci.ko** 会创建在同一目录下。
4. 输入 insmod 命令，将 Linux PCIe 设备驱动程序作为模块插入。
   `sudo insmod mpci.ko`

重要：执行此命令需要 root 权限。

下图显示了 PCIe 设备驱动程序的安装过程。

图 4-21. PCIe®设备驱动程序安装

```
chandra@hyd-ld-i52899a:~/work/cardtest/linux_pcie_driver_updated_6.8$ make
#make -W -Wstrict-prototypes -Wmissing-prototypes -C  /lib/modules/6.8.0-49-generic/build SUBDIRS=/home/chandra/work/cardtest/linux_pcie_driver_updated_6.8 modules
#@echo /lib/modules/6.8.0-49-generic/build
Building now


#make -W -Wstrict-prototypes -Wmissing-prototypes -C  /lib/modules/6.8.0-49-generic/build SUBDIRS=/home/chandra/work/cardtest/linux_pcie_driver_updated_6.8 modules
make  -W -Wstrict-prototypes -Wmissing-prototypes -C  /lib/modules/6.8.0-49-generic/build M=/home/chandra/work/cardtest/linux_pcie_driver_updated_6.8 modules
make[1]: Entering directory '/usr/src/linux-headers-6.8.0-49-generic'
warning: the compiler differs from the one used to build the kernel
  The kernel was built by: x86_64-linux-gnu-gcc-12 (Ubuntu 12.3.0-1ubuntu1-22.04) 12.3.0
  You are using:           gcc-12 (Ubuntu 12.3.0-1ubuntu1-22.04) 12.3.0
  CC [M]  /home/chandra/work/cardtest/linux_pcie_driver_updated_6.8/mpcie.o
  CC [M]  /home/chandra/work/cardtest/linux_pcie_driver_updated_6.8/mdma.o
  CC [M]  /home/chandra/work/cardtest/linux_pcie_driver_updated_6.8/misrdpc.o
  LD [M]  /home/chandra/work/cardtest/linux_pcie_driver_updated_6.8/mpci.o
  MODPOST /home/chandra/work/cardtest/linux_pcie_driver_updated_6.8/Module.symvers
  CC [M]  /home/chandra/work/cardtest/linux_pcie_driver_updated_6.8/mpci.mod.o
  LD [M]  /home/chandra/work/cardtest/linux_pcie_driver_updated_6.8/mpci.ko
  BTF [M] /home/chandra/work/cardtest/linux_pcie_driver_updated_6.8/mpci.ko
Skipping BTF generation for /home/chandra/work/cardtest/linux_pcie_driver_updated_6.8/mpci.ko due to unavailability of vmlinux
make[1]: Leaving directory '/usr/src/linux-headers-6.8.0-49-generic'
chandra@hyd-ld-i52899a:~/work/cardtest/linux_pcie_driver_updated_6.8$ sudo insmod mpci.ko
chandra@hyd-ld-i52899a:~/work/cardtest/linux_pcie_driver_updated_6.8$ ls /dev/MS_PCI_DEV
/dev/MS_PCI_DEV
```

4.3.2.1.1. Linux PCIe 应用程序编译 (Ask a Question)

1. 按如下方式编译 Linux 用户空间应用程序：
   `#cd <source_code_directory>\mpf_an4597_df\PCIe_Drivers\Linux_PCIe_Drivers_application\linux_pcie_app`
   `# make clean`

© 2026 Microchip Technology Inc. 及其子公司

```
# make all
```

编译成功后，Linux PCIe 应用实用程序 pcie_app 会创建在同一目录下。

2. 在 Linux 命令提示符处，按如下方式运行 pcie_app 实用程序：

```
#sudo ./pcie_app
```

下图展示了显示的 **Help**（帮助）菜单。

图 4-22. Linux® PCIe®应用实用程序

```
chandra@hyd-ld-i52899a:~/work/cardtest/linux_pcie_app$ ls
Makefile  pcie_appln_dma.c  pcie_appln.h  pcie_appln_main.c
chandra@hyd-ld-i52899a:~/work/cardtest/linux_pcie_app$ make
gcc  -c pcie_appln_dma.c -o pcie_appln_dma.o
gcc  -c pcie_appln_main.c -o pcie_appln_main.o
gcc  pcie_appln_dma.o  pcie_appln_main.o -Wall -lm -o pcie_app
chandra@hyd-ld-i52899a:~/work/cardtest/linux_pcie_app$ ls
Makefile  pcie_app  pcie_appln_dma.c  pcie_appln_dma.o  pcie_appln.h  pcie_appln_main.c  pcie_appln_main.o
chandra@hyd-ld-i52899a:~/work/cardtest/linux_pcie_app$ sudo ./pcie_app
Press CTRL+C to exit the program...
Welcome to the PCI Demo Application
---------------------------------------------
Initialization successful: PCI device [/dev/MS_PCI_DEV] is ready for use.
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
```

4.3.2.1.2. 设备信息 (Ask a Question)

输入 **1** 获取设备信息，如下图所示。

图 4-23. 设备信息

```
Enter your choice: 1
Input is taken from user
-----------------------------------------------
Demo_type = PolarFire PCIe Demo
Device_status = Microsemi Device Detected
Device_type = PolarFire Evaluation kit
Number of BARs enabled = 2
Bar0_add       = 0x110000c
Bar0_size      = 0x10000
Bar2_add       = 0x100000c
Bar2_size      = 0x100000

Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
```

重要：PCI 设备枚举在系统启动时进行，因此每次启动时，基址寄存器的起始地址可能都不一样。

© 2026 Microchip Technology Inc. 及其子公司

4.3.2.1.3. 使 LED 闪烁 (Ask a Question)

输入 **2** 以使 LED 闪烁，如下图所示。

图 4-24. 使 LED 闪烁

```
-------------------------------------------
Initialization successful: PCI device [/dev/MS_PCI_DEV] is ready for use.
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
Enter your choice: 2
Input is taken from user
-------------------------------------------
Enter LED data (Numeric format)
Example: 255 to blink all LEDs (1111 1111 in binary)
         85 to blink alternate LEDs (0101 0101 in binary)
-------------------------------------------
255
Success: LEDs configured to blink as per the provided pattern.
```

4.3.2.1.4. DIP 开关状态 (Ask a Question)

输入 **3** 以获取 DIP 开关状态，如下图所示。

图 4-25. DIP 开关状态

```
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
Enter your choice: 3
Input is taken from user
Reading DIP Switch Status...
Success: DIP switch status read successfully.

DIP Switch Status:
  SW1: ON
  SW2: OFF
  SW3: OFF
  SW4: OFF
```


© 2026 Microchip Technology Inc. 及其子公司

4.3.2.1.5. 中断 (Ask a Question)

输入 **4**，然后输入 **1** 查看中断计数，或输入 **2** 清除中断，如下图所示。

图 4-26. 添加中断

```
Welcome to the PCI Demo Application
-------------------------------------------
Initialization successful: PCI device [/dev/MS_PCI_DEV] is ready for use.
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
Enter your choice: 4
Input is taken from user
---------------------------------------------
Select an option:
  1. Display ISR Counters
  2. Clear ISR Counters
---------------------------------------------
1
ISR Counters:
  Counter 1: 1
  Counter 2: 1
  Counter 3: 1
  Counter 4: 0
```

图 4-27. 清除中断

```
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
Enter your choice: 4
Input is taken from user
---------------------------------------------
Select an option:
  1. Display ISR Counters
  2. Clear ISR Counters
---------------------------------------------
2
ISR Counters have been cleared successfully.

Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
Enter your choice: 4
Input is taken from user
---------------------------------------------
Select an option:
  1. Display ISR Counters
  2. Clear ISR Counters
---------------------------------------------
1
ISR Counters:
  Counter 1: 0
  Counter 2: 0
  Counter 3: 0
  Counter 4: 0
```


© 2026 Microchip Technology Inc. 及其子公司

4.3.2.1.6. 读写 BAR 空间 (Ask a Question)

输入 **5** 可读取或写入 BAR 空间，如下图所示。

图 4-28. 读写 BAR 空间

```
Welcome to the PCI Demo Application
-------------------------------------------
Initialization successful: PCI device [/dev/MS_PCI_DEV] is ready for use.
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
Enter your choice: 5
Input is taken from user
-------------------------------------------
provide type 1.DDR-3, 2.LSRAM,3.DDR-4
1
1. Read from BAR space
2. Write to BAR space
2
Enter the offset in the hexadecimal format (example: 0x10)
0x10
Provide the data to write in the hexadecimal format (example: 0xa0)
0xa0
Write successful.


Operation completed successfully.
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
Enter your choice: 5
Input is taken from user
-------------------------------------------
provide type 1.DDR-3, 2.LSRAM,3.DDR-4
1
1. Read from BAR space
2. Write to BAR space
1
Enter the offset in the hexadecimal format (example: 0x10)
0x10
Read value = 0xa0


Operation completed successfully.
Select an option from the menu below:
```


© 2026 Microchip Technology Inc. 及其子公司

4.3.2.1.7. PCIe 配置空间 (Ask a Question)

输入 **6**，然后输入 **2** 以读取完整的 PCIe 配置空间，如下图所示。

图 4-29. PCIe®配置空间

```
Welcome to the PCI Demo Application
-------------------------------------------
Initialization successful: PCI device [/dev/MS_PCI_DEV] is ready for use.
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCI Demo Application
-------------------------------------
Enter your choice: 6
Input is taken from user
---------------------------------------------
1. Read from PCIe ConfigSpace offset
2. Read entire PCIe ConfigSpace
Enter your choice: 2
Vendor ID: 0x11aa
Device ID: 0x1556
Cmd Reg: 0x406
Stat Reg: 0x10
Revision ID: 0x0
Class Prog: 0x0
Device Class: 0x0
Cache Line Size: 0x0
Latency Timer: 0x0
Header Type: 0x0
BIST: 0x0
BAR0: Addr:0x110000c
BAR1: Addr:0x60
BAR2: Addr:0x100000c
BAR3: Addr:0x60
BAR4: Addr:0x0
BAR5: Addr:0x0
CardBus CIS Pointer: 0x0
Subsystem Vendor ID: 0x0
Subsystem Device ID: 0x0
Expansion ROM Base Address: 0x0
IRQ Line: 0xff
IRQ Pin: 0x4
Min Gnt: 0x0
Max Lat: 0x0
MSIEnable: 0x1
MultipleMessageCapable: 0x4
MultipleMessageEnable: 0x4
CapableOf64Bits: 0x1
PerVectorMaskCapable: 0x0
```

4.3.2.1.8. PCIe DMA 操作 (Ask a Question)

输入 **7** 以执行 PCIe DMA 操作。

- 最大传输长度为：4k < 传输长度 < 1 MB。
- 对于 DDR3L/4，最大传输长度为：4k < 传输长度 < 1 MB。
- 对于 LSRAM，最大传输长度为：4k < 传输长度 < 1 MB。

© 2026 Microchip Technology Inc. 及其子公司

图 4-30. DMA 操作

```
Welcome to the PCI Demo Application
-------------------------------------------
Initialization successful: PCI device [/dev/MS_PCI_DEV] is ready for use.
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCIe Demo Application
-------------------------------------
Enter your choice: 7
Input is taken from user
-------------------------------------------------------

Read/write to memory using DMA
-------------------------------------------------------------
1. Continuous Dma Write to DDR3
2. Continuous Dma Read from DDR3
3. Continuous Dma write/read DDR3
4. Continuous Dma Write to DDR4
5. Continuous Dma Read from DDR4
6. Continuous Dma write/read DDR4
7. Continuous Dma Write to LSRAM
8. Continuous Dma Read from LSRAM
9. Continuous Dma write/read LSRAM
10. SG Dma Write to DDR3
11. SG Dma Read from DDR3
12. SG Dma write/read DDR3
13. SG Dma Write to DDR4
14. SG Dma Read from DDR4
15. SG Dma write/read DDR4
15
Enter the Tx size (in bytes) between 4 bytes to 1MB  (example: 4096 ):
-----------------------------------------------------------------
1048576
Enter the Rx size (in bytes) between 4 bytes   and 1MB  (example 4096):
-----------------------------------------------------------------
1048576
Enter the data pattern 1.inc 2. dec 3.rand 4.zero's 5.one's 6. AAA 7. 555
-------------------------------------------------------------------------------
7
Write throughput = 915 MBPS
Read throughput  = 524 MBPS
Write Buffer Descriptor count = 16
Read Buffer Descriptor count = 16
```

下图显示了如何退出 PCIe 演示应用程序。

图 4-31. 退出 PCIe®演示应用程序

```
Welcome to the PCI Demo Application
-------------------------------------------
Initialization successful: PCI device [/dev/MS_PCI_DEV] is ready for use.
Select an option from the menu below:
-------------------------------------
1. Display device information
2. Blink LEDs
3. Show DIP switch status
4. Handle Interrupt
5. Read/Write to BAR space
6. Show PCIe configuration space information
7. Perform PCIe DMA operation
8. Exit from the PCIe Demo Application
-------------------------------------
Enter your choice: 8
Input is taken from user
Exiting from the PCI Demo Application
PCIe Device [/dev/MS PCI DEV] closed
```

4.4. 评估工具包吞吐量汇总 (Ask a Question)

下表列出了观察到的吞吐量值。

© 2026 Microchip Technology Inc. 及其子公司

表 4-1. PolarFire®吞吐量汇总——PCIe®连续 DMA 模式

DMA 传输类型	DMA 大小	吞吐量（MBps）	平均吞吐量（MBps）
PC->LSRAM	64K	1109	1085
LSRAM->PC		1159	1141
PC<->LSRAM		1119/1220	1101/1207
PC->DDR4	64K	970	941
DDR4->PC		526[1]	525
PC<->DDR4		998/523	928/525
PC->DDR3L	64K	757	729
DDR3L->PC		427[1]	427
PC<->DDR3L		651/428	703/427

重要：

1. PCIe DMA 最多执行 32 拍 AXI 突发事务，而不是 AXI4 所支持的最多 256 拍，因此 DDR3L/DDR4 的读取性能较低。

表 4-2. PolarFire®吞吐量汇总——PCIe® SGDMA 模式

DMA 传输类型	DMA 大小	吞吐量（MBps）	平均吞吐量（MBps）
PC->DDR4	1 MB	997	990
DDR4->PC		524[1]	524
PC<->DDR4		990/524	984/524
PC->DDR3L	1 MB	763	762
DDR3L->PC		426[1]	426
PC<->DDR3L		767/426	771/426

重要：

1. PCIe DMA 最多执行 32 拍 AXI 突发事务，而不是 AXI4 所支持的最多 256 拍，因此 DDR3L/DDR4 的读取性能较低。

表 4-3. PolarFire®吞吐量汇总——Fabric CoreDMA 模式

DMA 传输类型	DMA 大小	吞吐量（MBps）	平均吞吐量（MBps）
LSRAM->DDR4	1 MB	1470	1470
DDR4->LSRAM		1245	1245
LSRAM<->DDR4		1470/1245	1470/1245
LSRAM->DDR3L	1 MB	1204	1204
DDR3L->LSRAM		1047	1048
LSRAM<->DDR3L		1047/1204	1047/1204
DDR4->DDR3L	1 MB	1184	1186
DDR3L->DDR4		1047	1047
DDR4<->DDR3L		1047/1185	1047/1186

重要：由于 AXI 互连 CDC 路径的限制，DDR3L 吞吐量较低。

4.5. Splash 工具包的吞吐量汇总 (Ask a Question)

下表列出了观察到的吞吐量值。

© 2026 Microchip Technology Inc. 及其子公司

表 4-4. PolarFire®吞吐量汇总——PCIe®连续 DMA 模式

DMA 传输类型	DMA 大小	吞吐量（MBps）	平均吞吐量（MBps）
PC->LSRAM	64K	1037	1024
LSRAM->PC		1012	1007
PC<->LSRAM		1075/1013	1037/998
PC->DDR4	64K	1021	963
DDR4->PC		446[1]	446
PC<->DDR4		973/446	972/446

重要：

1. PCIe DMA 最多执行 32 拍 AXI 突发事务，而不是 AXI4 所支持的最多 256 拍，因此 DDR4 的读取性能较低。

表 4-5. PolarFire®吞吐量汇总——PCIe® SGDMA 模式

DMA 传输类型	DMA 大小	吞吐量（MBps）	平均吞吐量（MBps）
PC->DDR4	1 MB	1048	1030
DDR4->PC		443[1]	442
PC<->DDR4		1042/442	972/442

重要：

1. PCIe DMA 最多执行 32 拍 AXI 突发事务，而不是 AXI4 所支持的最多 256 拍，因此 DDR4 的读取性能较低。

表 4-6. PolarFire®吞吐量汇总——Fabric CoreDMA 模式

DMA 传输类型	DMA 大小	吞吐量（MBps）	平均吞吐量（MBps）
DDR4->LSRAM	1 MB	1044	1044
LSRAM->DDR4		1216	1216
LSRAM<->DDR4		1044/1216	1044/1216

© 2026 Microchip Technology Inc. 及其子公司

5. 附录 1：DDR3L 和 DDR4 功耗测量 (Ask a Question)

5.1. DDR3L (Ask a Question)

PolarFire 评估工具包电路板在 1.5V 电源轨上配有电流检测电阻（R118）。使用测试点 TP134 和 TP135 测量 R118 两端的电压，然后使用以下公式计算 DDR3L 功率。该测量结果包括 PolarFire DDR3L IO 功耗和 Micron DDR3L 存储器实际功耗。

$$电流（mA）= \frac{测量电压\ （mV）}{R}$$

功率（mW）= 电流 × 电压

运行演示时，测得 R118 两端的电压为 6.3 mV，电阻值为 0.01 Ω。

电流（mA）= 6.3 ÷ 0.01 = 630 mA

功率 = 630 × 1.5 = 945 MW

5.2. DDR4 (Ask a Question)

PolarFire 评估工具包电路板在 1.2V 电源轨上配有电流检测电阻（R222）。使用测试点 TP132 和 TP133 测量 R222 两端的电压，然后使用以下公式计算 DDR4 功率。该测量结果包括 PolarFire DDR4 IO 功耗和 Micron DDR4 存储器实际功耗。

$$电流（mA）= \frac{测量电压\ （mV）}{R}$$

功率（mW）= 电流 × 电压

运行演示时，测得 R222 两端的电压为 2.4 mV，电阻值为 0.01 Ω。

电流（mA）= 2.4 ÷ 0.01 = 240 mA

功率 = 240 × 1.2 = 288 MW

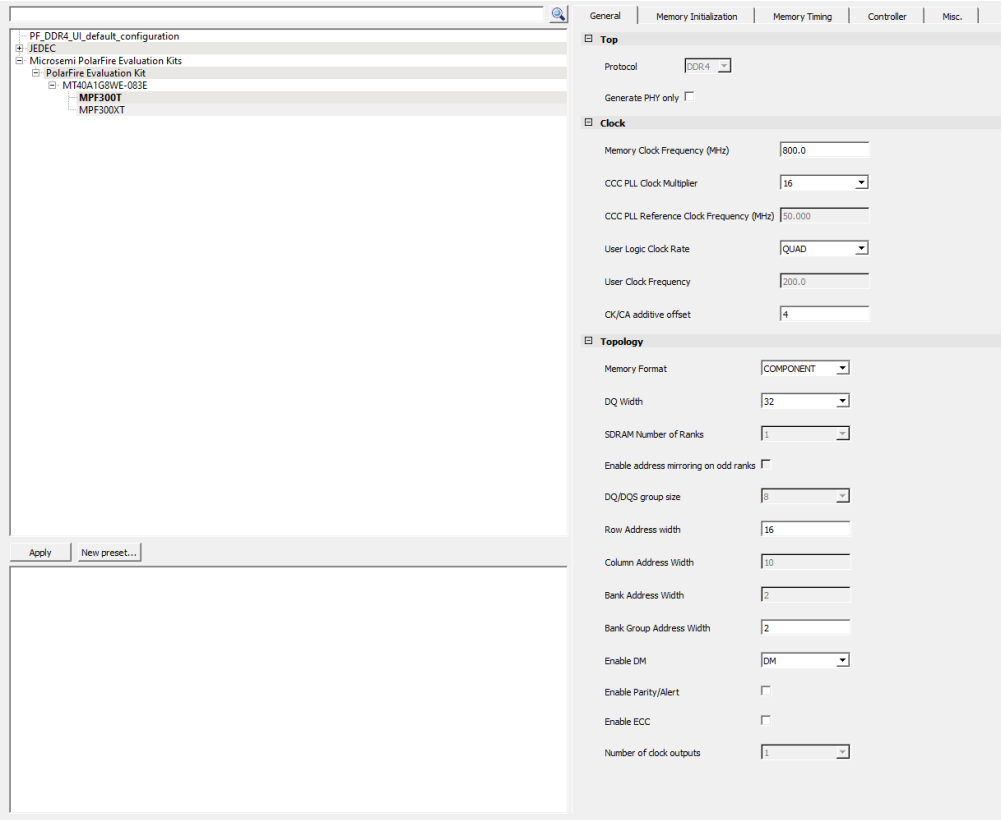
© 2026 Microchip Technology Inc. 及其子公司

6. 附录 2：DDR4 配置 (Ask a Question)

DDR4 子系统配置为通过 AXI4 64 位接口访问 32 位 DDR4 存储器。DDR4 存储器初始化和时序参数按照 PolarFire 评估工具包上的 DDR4 存储器进行配置。

下图显示了 DDR4 存储器的常规配置设置。

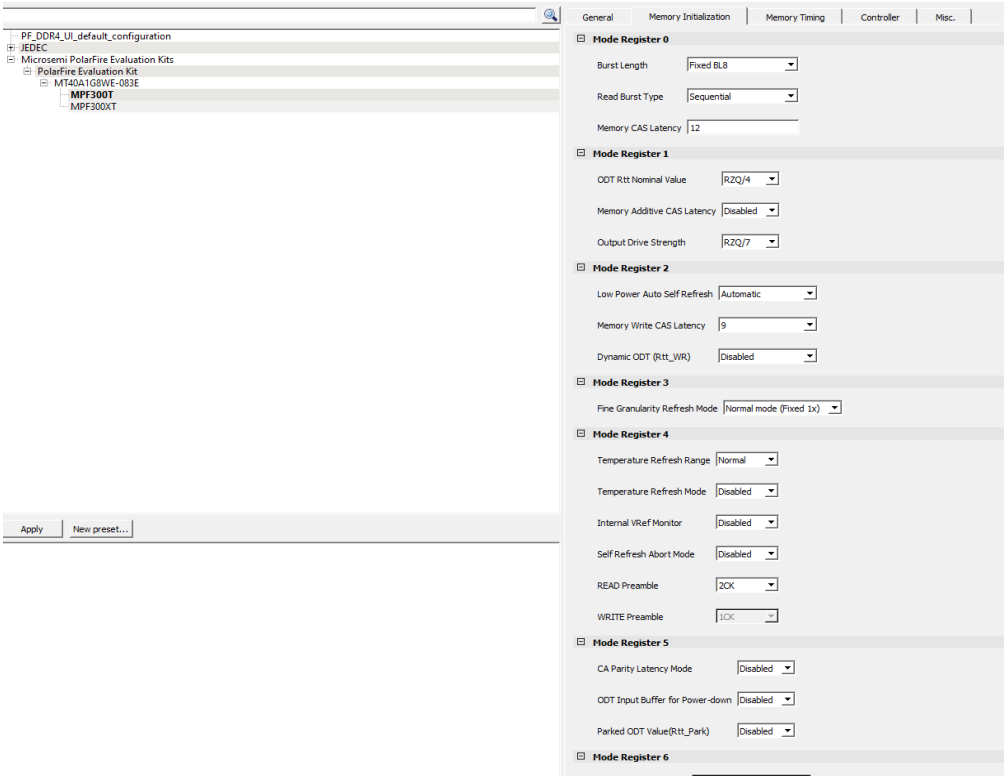
图 6-1. DDR4 配置器



© 2026 Microchip Technology Inc. 及其子公司

下图显示了 DDR4 存储器的初始化配置设置。

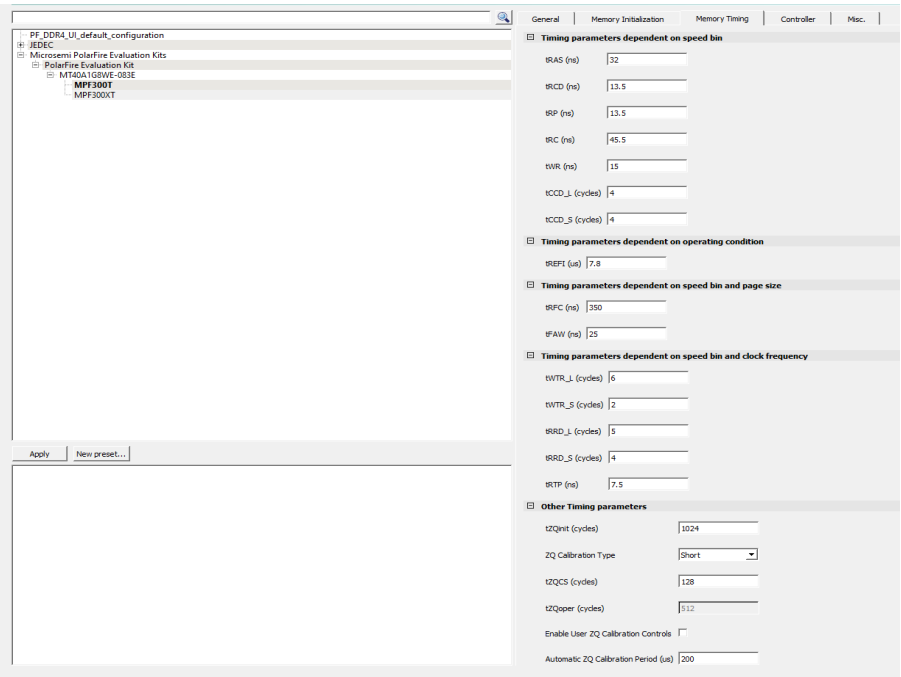
图 6-2. DDR4 配置器——存储器初始化



© 2026 Microchip Technology Inc. 及其子公司

下图显示了 DDR4 存储器的时序配置设置。

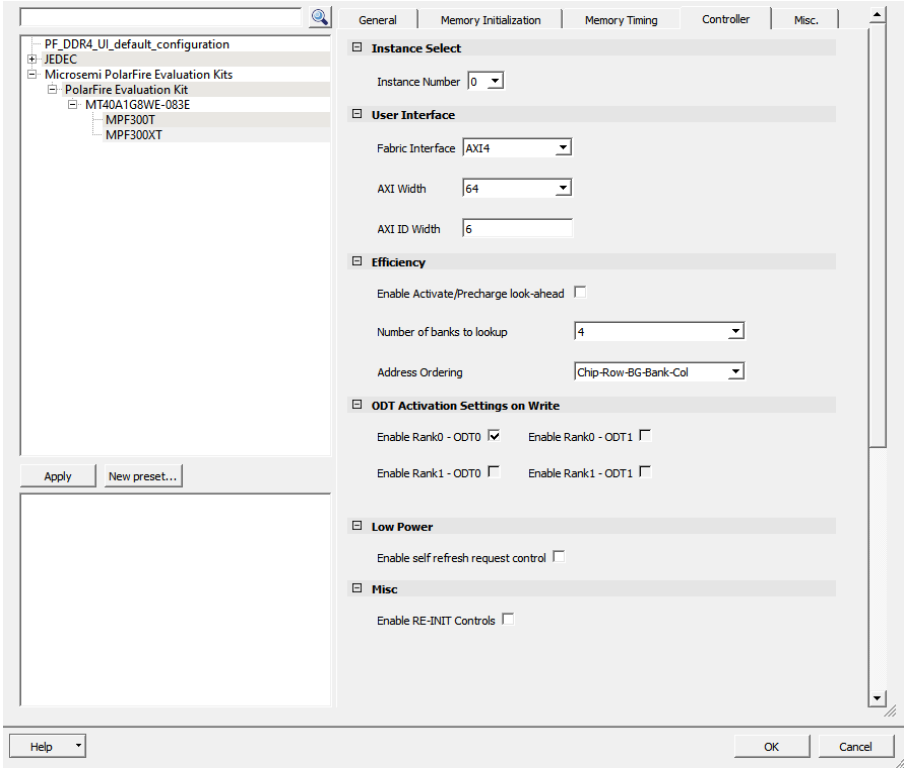
图 6-3. DDR4 配置器——存储器时序



© 2026 Microchip Technology Inc. 及其子公司

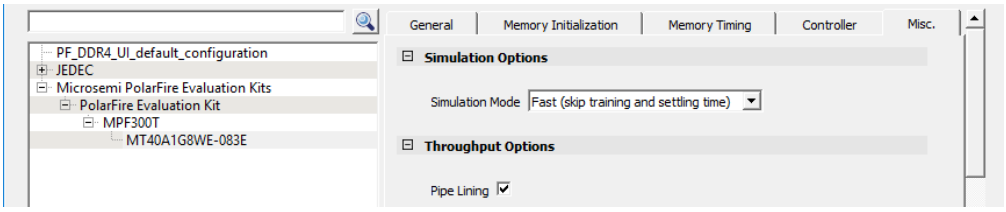
下图显示了 DDR4 存储器的控制器配置设置。

图 6-4. DDR4 配置器——控制器



下图显示了 DDR4 存储器的其他配置设置。

图 6-5. DDR4 配置器——其他



© 2026 Microchip Technology Inc. 及其子公司

7. 附录 3：DDR3L 配置 (Ask a Question)

有关版本 E 或更高版本工具包的 DDR3L 配置信息，请参见 AN4997：PolarFire® FPGA Building a Mi-V Processor Subsystem 的 *Appendix 2 - DDR3 Configuration*。

© 2026 Microchip Technology Inc. 及其子公司

8. 附录 4：使用 FlashPro Express 对器件进行编程 (Ask a Question)

本节介绍如何通过 FlashPro Express 使用 `.job` 编程文件对 PolarFire 器件进行编程。`.job` 文件位于以下设计文件文件夹中：`mpf_an4597_df\Programming_files`

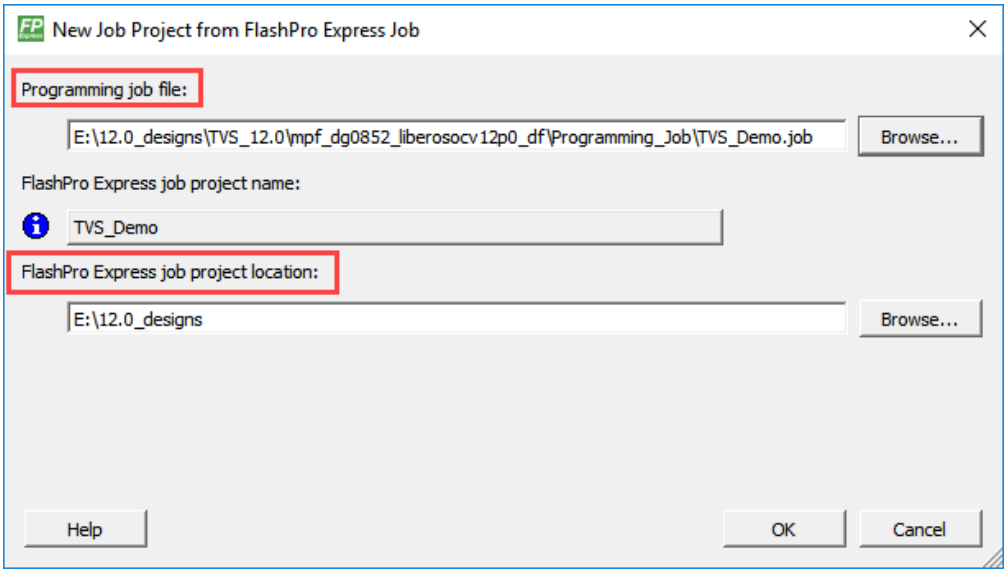
要对器件进行编程，请执行以下步骤：

1. 确保电路板上的跳线设置与表 2-1（评估工具包）和表 3-1（Splash 工具包）中列出的设置相同。

> **重要：**连接跳线时，必须关闭电源开关。

2. 将电源线连接到评估板上的 J9 连接器或 Splash 板上的 J2 连接器。
3. 使用 USB 线缆将主机 PC 连接到评估板上的 J5（FTDI 端口）或 Splash 板上的 J1（FTDI 端口）。
4. 使用评估工具包电路板上的 SW3 滑动开关或 Splash 工具包电路板上的 SW1 滑动开关为电路板上电。
5. 在主机 PC 上，启动 **FlashPro Express** 软件。
6. 要创建新作业，请单击 **New**（新建）或在 **Project**（项目）菜单中，选择 **New Job Project from FlashPro Express Job**（从 FlashPro Express 作业新建作业项目）。
7. 在“New Job Project from FlashPro Express Job”对话框中输入以下内容：
   - **Programming job file**（编程作业文件）：单击 **Browse**（浏览），导航到 `.job` 文件所在的位置，然后选择该文件。默认位置为：`<download_folder>\mpf_an4597_df\Programming_files`。
   - **FlashPro Express job project location**（FlashPro Express 作业项目位置）：单击 **Browse**，导航到要保存项目的位置。

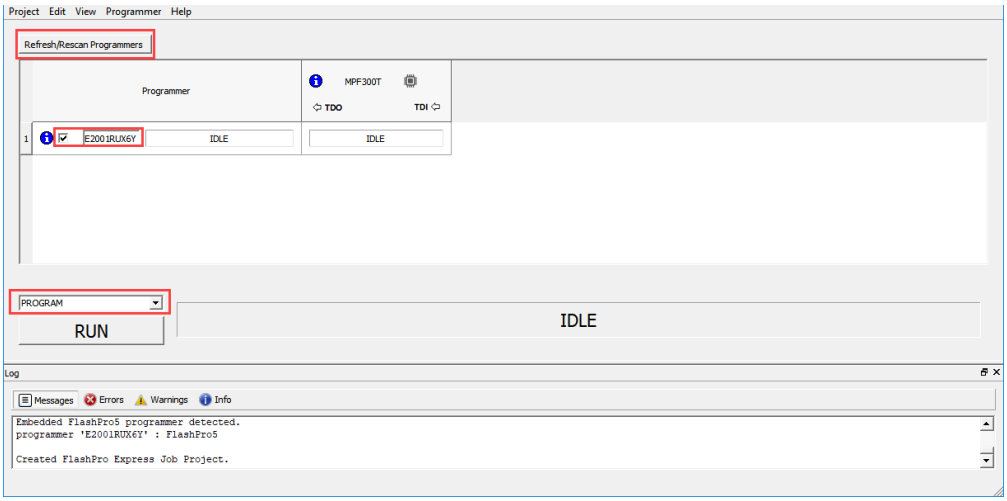
图 8-1. 从 FlashPro Express 作业新建作业项目



8. 单击 **OK**。此时会选中所需的编程文件，并准备好对器件进行编程。
9. FlashPro Express 窗口会显示如下图所示的界面。确认“Programmer”（编程器）字段中显示编程器编号。如果未显示，请确认电路板连接并单击 **Refresh/Rescan Programmers**（刷新/重新扫描编程器）。

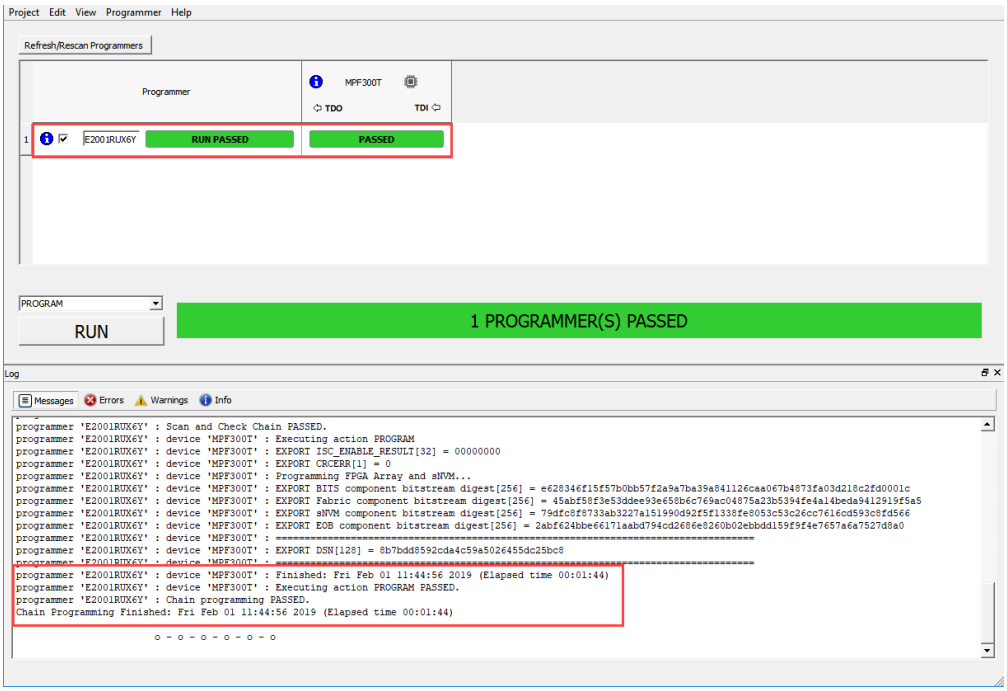
© 2026 Microchip Technology Inc. 及其子公司

图 8-2. 对器件进行编程



10. 单击 **RUN**（运行）。器件成功编程后，会显示 **RUN PASSED**（运行通过）状态，如下图所示。要运行 PCIe 端点演示，请参见运行演示部分。

图 8-3. FlashPro Express——运行通过



11. 关闭 **FlashPro Express**，或在 **Project** 选项卡中，单击 **Exit**。

© 2026 Microchip Technology Inc. 及其子公司

9. 附录 5：运行 TCL 脚本 (Ask a Question)

设计文件文件夹的 HW 目录下提供了 TCL 脚本。如有需要，可以重新生成从设计实现到作业文件生成的整个设计流程。

要运行 TCL，请执行以下步骤：

1. 启动 Libero 软件。
2. 选择 **Project** > **Execute Script...**（**执行脚本...**）。
3. 单击 **Browse**，然后从下载的 HW 目录中选择 `script.tcl`。
4. 单击 **Run**（**运行**）。

TCL 脚本成功执行后，会在 HW 目录中创建 Libero 项目。有关 TCL 脚本的更多信息，请参见以下内容：

- `mpf_an4597_df/HW/Eval_Kit/TCL_Script_readme.txt`
- `mpf_an4597_df/HW/Splash_Kit/TCL_Script_readme.txt`

有关 TCL 命令的更多详细信息，请参见 Tcl Commands Reference Guide。如果在运行 TCL 脚本时遇到任何疑问，请联系技术支持。

© 2026 Microchip Technology Inc. 及其子公司

10. 附录 6：参考资料 (Ask a Question)

本节列出了有关参考设计中使用的 PCIe 端点和 IP 核的更多信息的相关文档。

- 有关 PolarFire 收发器模块、PF_TX_PLL 和 PF_XCVR_REF_CLK 的更多信息，请参见 PolarFire Family Transceiver User Guide。
- 有关 PF_PCIE 的更多信息，请参见 PolarFire Family PCI Express User Guide。
- 有关 PF_CCC 的更多信息，请参见 PolarFire Family Clocking Resources User Guide。
- 有关 DDR3L/DDR4 存储器的更多信息，请参见 PolarFire Family Memory Controller User Guide。
- 有关 Libero、ModelSim 和 Synplify 的更多信息，请参见 Libero SoC 文档网页。
- 有关 PolarFire FPGA 评估工具包的更多信息，请参见 UG0747： PolarFire FPGA Evaluation Kit User Guide
- 有关 PolarFire FPGA Splash 工具包的更多信息，请参见 UG0786： PolarFire FPGA Splash Kit User Guide
- 有关 CoreAHBLite 的更多信息，请参见 CoreAHBLite 手册。本用户指南可从 Libero SoC 目录下载。
- 有关 CoreAHBtoAPB3 的更多信息，请参见 CoreAHBtoAPB3 手册。本用户指南可从 Libero SoC 目录下载。
- 有关 CoreUART 的更多信息，请参见 CoreUART 用户指南。本用户指南可从 Libero SoC 目录下载。

© 2026 Microchip Technology Inc. 及其子公司

11. 版本历史 (Ask a Question)

版本历史说明了在文档中进行的修改。这些更改按版本列出，最新版本在前。

表 11-1. 版本历史

版本	日期	说明
F	05/2026	更新了设计要求部分表 1-1 中的 PCIe®卡缘连接器排线部件编号。
E	02/2026	以下是本文档版本 E 的更改列表： • 针对 Libero® v2025.2 更新了本文档。 • 更新了 AXI 到 APB SmartDesign 部分中的图 1-9。 • 更新了评估工具包吞吐量汇总部分中的表 4-1、表 4-2 和表 4-3。 • 更新了 Splash 工具包的吞吐量汇总部分中的表 4-4、表 4-5 和表 4-6。
D	09/2025	以下是本文档版本 D 的更改列表： • 针对 Libero v2025.1 更新了本文档。 • 通篇更新了设计文件路径。 • 通篇将“Mbps”替换为“MBps”。 • 更新了评估工具包吞吐量汇总部分表 4-1 中的吞吐量和平均吞吐量值。 • 更新了 Splash 工具包的吞吐量汇总部分表 4-4、表 4-5 和表 4-6 中的吞吐量和平均吞吐量值。 • 更新了附录 2：DDR4 配置部分中的图 6-4。
C	02/2025	以下是本文档版本 C 的更改列表： • 更新了驱动程序，以增强与 Windows® 10 和 Linux®内核 6.8 的兼容性。 • 针对 Libero v2024.2 更新了本文档。 • 通篇更新了 `.job` 文件路径和 TCL 脚本文件路径。 • 更新了演示设计部分中的图 1-1。 • 更新了设计实现部分中的图 1-5、图 1-6 和图 1-7。 • 更新了运行 PCIe 演示应用程序部分中的所有 GUI 图形。 • 更新了附录 2：DDR4 配置部分中的图 6-1。
B	02/2024	以下是本文档版本 B 的更改列表： • 向 DDR3L 部分添加了一条注释。 • 更新了附录 3：DDR3L 配置部分。

© 2026 Microchip Technology Inc. 及其子公司

表 11-1. 版本历史 （续）

版本	日期	说明
A	08/2022	以下是本文档版本 A 的更改列表： • 本文档迁移至了 Microchip 模板。 • 文档编号从 50200756 更新为 DS00004597A。 • 文档 ID 从 DG0756 更新为 AN4597。 • 将所有 Microsemi 的链接替换为 Microchip 的链接。 • 通篇将 DDR3 更改为 DDR3L。 • 更新了图 1-4。 • 更新了图 1-5 和图 1-6。 • 更新了图 1-7 和图 1-8。 • 更新了图 1-9。 • 更新了仿真设计的内容。 • 更新了安装 PCIe 演示应用程序中的设计文件位置。 • 更新了图 4-10、图 4-11、图 4-12、图 4-13 和图 4-14。 • 更新了图 4-15、图 4-16、图 4-18 和图 4-19。 • 更新了附录 4：使用 FlashPro Express 对器件进行编程中的 `.job` 文件位置。 • 更新了 TCL 脚本文件位置附录 5：运行 TCL 脚本。 • 新增了附录 3：DDR3L 配置部分。
10.0	—	增加了附录 5：运行 TCL 脚本。
9.0	—	本版本的更改摘要如下： • 针对 Libero SoC v12.3 更新了本文档。 • 删除了 Libero 版本号相关内容。
8.0	—	本文档针对 Libero SoC v12.0 版本进行了更新。
7.0	—	本文档合并了 Splash 工具包相关内容，并针对 Libero SoC PolarFire v2.3 版本进行了更新。
6.0	—	以下是本文档版本 6.0 的更改摘要。 • 本文档针对 Libero SoC PolarFire v2.2 版本进行了更新。 • 添加了有关 DDR 功耗测量的信息。请参见附录 1：DDR3L 和 DDR4 功耗测量。
5.0	—	本文档针对 Libero SoC PolarFire v2.1 版本进行了更新。
4.0	—	本文档进行了更新，以包含 Libero SoC PolarFire v2.0 版本中的新增功能和增强功能。
3.0	—	以下是本文档版本 3.0 的更改摘要。 • 本文档进行了更新，以包含 Libero SoC PolarFire v1.1 SP1 版本中的新增功能和增强功能。 • 添加了有关设置器件和运行演示的信息，请参见附录 4：使用 FlashPro Express 对器件进行编程和运行演示。 • 添加了参考文献列表。有关更多信息，请参见附录 6：参考资料。
2.0	—	以下是本文档版本 2.0 的更改摘要。 • 本文档针对 Libero SoC PolarFire v1.1 版本进行了更新。 • 增加了关于资源利用情况的信息。有关更多信息，请参见“资源利用情况”。
1.0	—	本文档的第一版。

© 2026 Microchip Technology Inc. 及其子公司

Microchip FPGA 支持

Microchip FPGA 产品团队为其产品提供多种支持服务，包括客户服务、客户技术支持中心、网站和全球销售办事处。建议客户在联系支持团队前，先查阅 Microchip 在线资源，相关问题很可能已有解答。

如需联系技术支持中心，请前往网站 www.microchip.com/support。创建技术支持工单时，请注明 FPGA 器件部件编号，选择合适的支持类别，并上传设计文件。

如需非技术类产品支持，例如产品定价、产品升级、更新信息、订单状态和授权，请联系客户服务团队。

- 北美地区联系电话：**800.262.1060**
- 世界其他地区联系电话：**650.318.4460**
- 传真（全球）：**650.318.8044**

© 2026 Microchip Technology Inc. 及其子公司

Microchip 信息

商标

“Microchip”的名称和徽标组合、“M”徽标及其他名称、徽标和品牌均为 Microchip Technology Incorporated 或其关联公司和/或子公司在美国和/或其他国家或地区的注册商标或商标（“Microchip 商标”）。有关 Microchip 商标的信息，可访问 https://www.microchip.com/en-us/about/legal-information/microchip-trademarks。

法律声明

提供本文档的中文版本仅为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc.及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc.的英文原版文档。

本出版物及其提供的信息仅适用于 Microchip 产品，包括设计、测试以及将 Microchip 产品集成到您的应用中。以其他任何方式使用这些信息都将被视为违反条款。本出版物中的器件应用信息仅为您提供便利，将来可能会发生更新。您须自行确保应用符合您的规范。如需额外的支持，请联系当地的 Microchip 销售办事处，或访问 www.microchip.com/en-us/support/design-help/client-support-services。

Microchip“按原样”提供这些信息。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或附带的损失、损害或任何类型的开销，Microchip 概不承担任何责任，即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔，Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额（如有）。如果将 Microchip 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任。除非另外声明，在 Microchip 知识产权保护下，不得暗中或以其他方式转让任何许可证。

Microchip 器件代码保护功能

请注意以下有关 Microchip 产品代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信：在按照操作规范正常使用的情况下，Microchip 系列产品非常安全。
- Microchip 重视并积极保护其知识产权。任何试图破坏 Microchip 产品代码保护功能的行为均可视为违反了《数字器件千年版权法案（Digital Millennium Copyright Act）》并予以严禁。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。

© 2026 Microchip Technology Inc. 及其子公司